

# 半導體供應鏈重塑

## -AI和地緣政治影響半導體供應鏈

陳俐妍

10/30/2024

# 結論

- AI晶片和HBM需求增加最明顯，但僅少數供應商受惠。消費性市場緩慢復甦及工業和車用市場庫存調整較預期長，2H24僅溫和回升，較原先預期差。IEK預測2025年全球半導體市場YoY+12.5%達6,850億美元。2024年和2025年成長最大來自記憶體相關，DRAM和NAND Flash報價>50%。
- 2024年確立AI晶片為半導體產業未來發展最大驅動力。從手機發展走向HPC，半導體供應鏈重塑。晶片設計邏輯改變，從節能導向轉為算力。AI晶片走向AI system，Chiplet設計增加，提升晶片算力使用大量的晶片堆疊，2.5D/3D封裝更佳複雜。
- 美鎖中禁令趨勢不變，中國積極發展成熟製程，因此在成熟半導體和利基型記憶體的競爭會變大。此外，中國利用本身優勢，也會著墨在面板和電動車產業的半導體供應鏈。
- “製造回美國”或“中國製造2025”，台灣廠商只能在兩強中找出路，未來管制不會減少，地緣政治影響是長期，最壞狀況就是成為兩個體系，惟有加強競爭力，成為產業前幾大，才能穩定生存。投資首選台積電(2330.TW)，台積電先進製程領先同業，引領產業趨勢，緊跟台積電發展先進製程IP和IC設計廠、封測、設備、材料都將受惠。

# 產能利用率復甦較預期慢

- 1H24 IC 庫存水準穩定，AI晶片和HBM需求增加最明顯，但僅少數供應商受惠。消費性市場緩慢復甦及工業和車用市場庫存調整較預期長，成熟製程晶圓產能利用率在1H24仍處於低點，2H24僅溫和回升，較原先預期差。



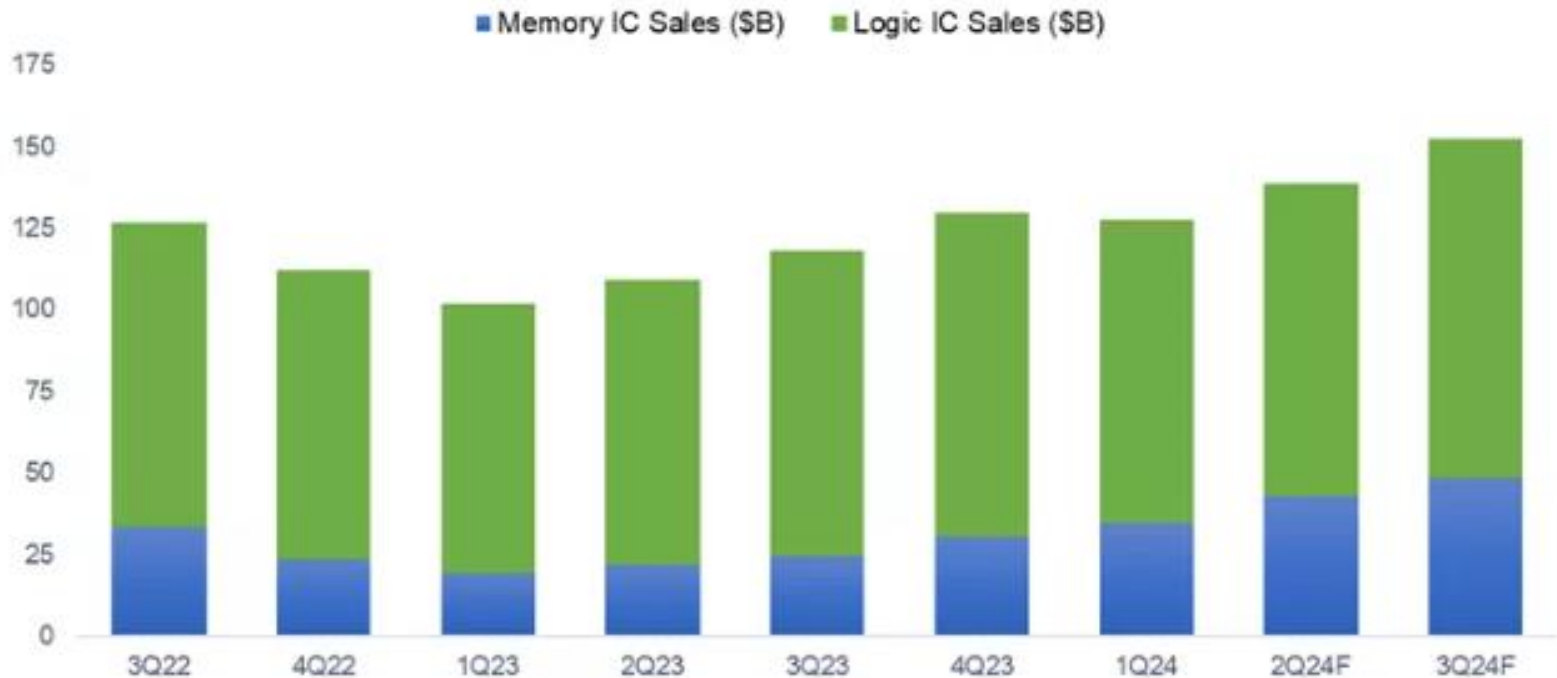
Copyright © 2024 Techninsights Inc. All rights reserved.  
Copyright © 2024 SEMI. All rights reserved.

資料來源：SEMI、群益投顧預估彙整

# 2H24溫和復甦

- 季節性和弱於預期的消費者需求影響1H24電子產品銷售，YoY-0.8%。預計3Q24電子產品銷售額YoY+4%，QoQ+9%。IC銷售額2Q24 YoY+27%，預計3Q24 YoY+29%。需求改善1H24 IC庫存水準YoY-2.6%。

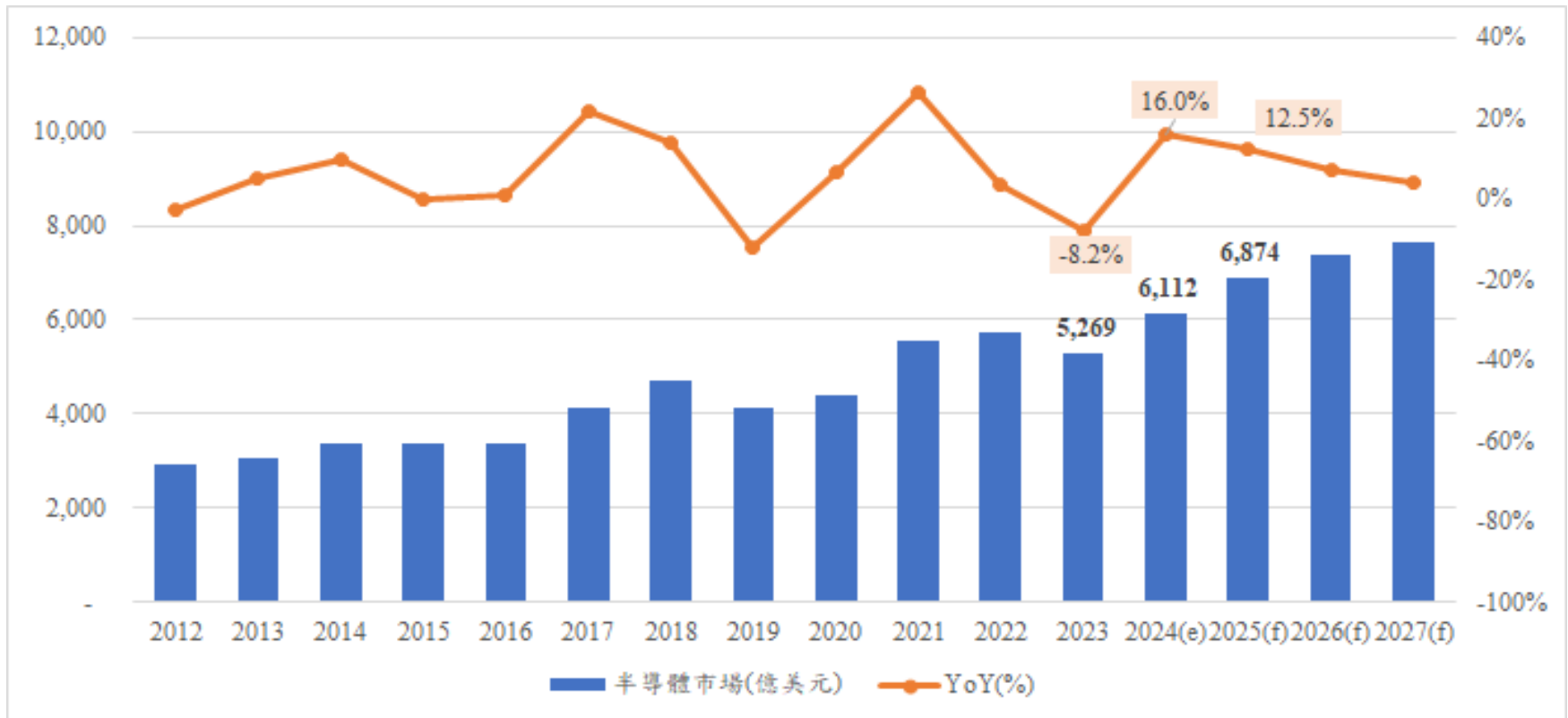
## IC Sales



資料來源：SEMI、群益投顧預估彙整

# 預估2025年半導體成長YoY+12.5%

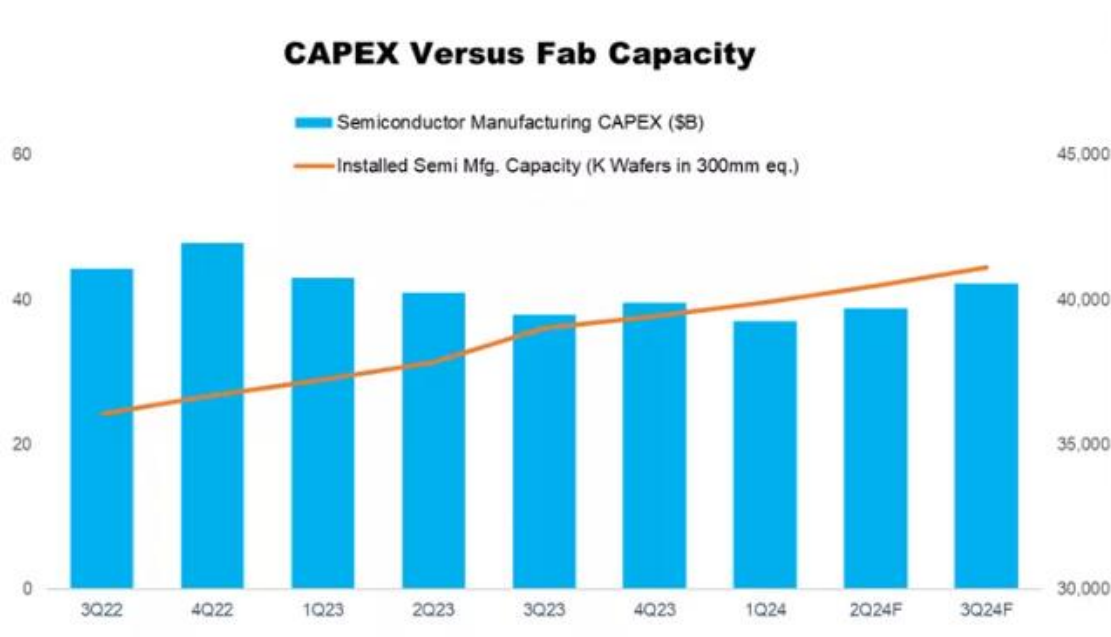
- IEK預測2024年全球半導體市場市場達6,112億美元，YoY+16.0%。預期2025年全球半導體市場YoY+12.5%達6,850億美元。2024年和2025年成長最大來自記憶體相關，DRAM和NAND Flash報價>50%，部份研究機構認為2025年記憶體漲幅持續，2025年預估YoY>15%。



資料來源：IEK、群益投顧預估彙整

# 2024年半導體資本支出保守

- 1H24半導體資本支出保守，YoY-9.8%，但AI晶片和HBM快速增長，預估3Q24記憶體資本支出QoQ+16%，非記憶體相關資本支QoQ+6%。
- 2Q24晶圓廠安裝產能達4,050萬片/季(以12吋晶圓計算)，預計3Q24 QoQ+1.6%。2Q24晶圓代工廠和邏輯相關產能QoQ+2%，預計3Q24 QoQ+1.9%。記憶體2Q24 QoQ+0.7%，預計在HBM需求強勁和價格改善，3Q24將QoQ+1.1%。中國儘管晶圓廠利用率平平，但仍是增長最快的地區。



資料來源：SEMI、群益投顧預估彙整

# 預估2025年半導體設備YoY+16.5%

- AI人工智慧應用興起，2024年晶圓廠設備銷售額YoY+3.4% 至 1,095 億美元，2025 年也將持續成長，預估2025年成長至1,275億美元， YoY+16.5%。
- 其中晶圓廠設備(含晶圓加工、晶圓廠設施和光罩設備)，SEMI預估2024年將較2023年960億美元成長2.8%至983億美元，AI運算、中國設備支出走強、HBM大量投資是主因。2025年預估晶圓廠設備銷售額再成長14.7%至1,128億美元。

SEMI 2024 Mid-Year \*Total Equipment Forecast  
by Segment (US\$ Billion)

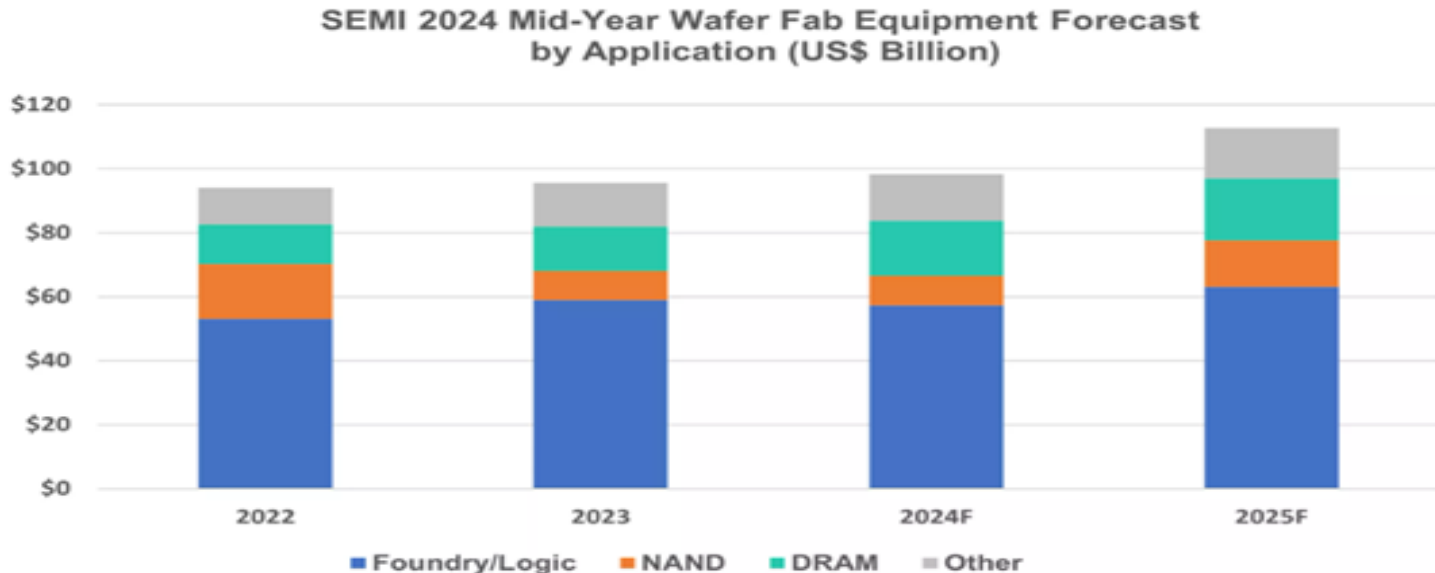


Source: SEMI Equipment Market Data Subscription (EMDS), July 2024

資料來源：SEMI、群益投顧預估彙整

# 記憶體資本支出最顯著

- 成熟製程產能利用恢復慢，SEMI預期2024年晶圓代工和邏輯應用晶圓廠設備銷售額，將YoY-2.9%至572億美元；2025年受惠先進技術需求成長、新設備架構引進及產能擴張採購增加，預計2025年將YoY+10.3%至630億美元。
- 2024年NAND Flash設備銷售額穩定，預估YoY+1.5%至93.5億美元，預期2025年將YoY+55.5%至146億美元。DRAM則在AI應用HBM記憶體等帶動下，2024年和2025年預期各成長24.1%及12.3%。

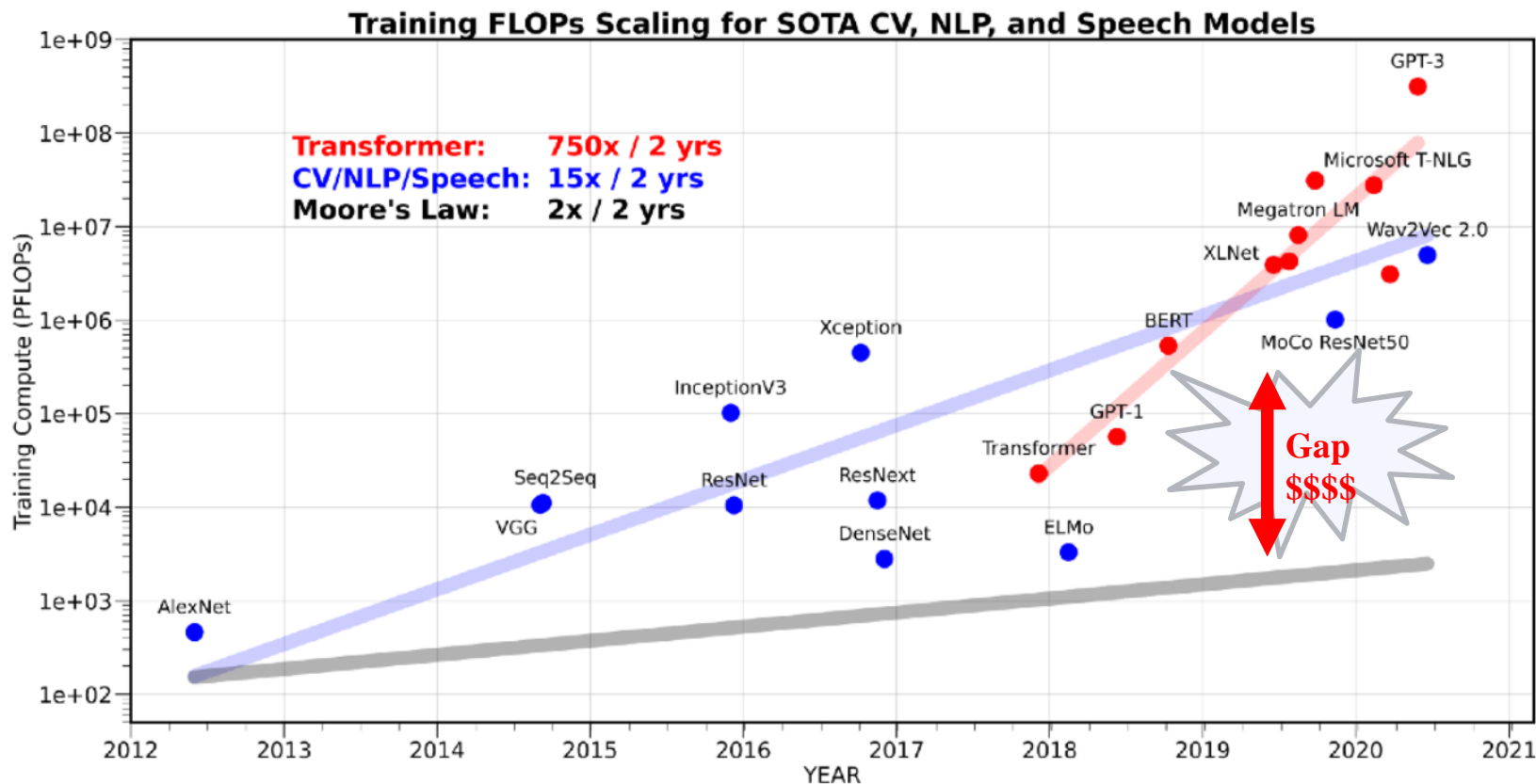


Source: SEMI Equipment Market Data Subscription (EMDS), July 2024

資料來源：SEMI、群益投顧預估彙整

# AI帶動晶片需求

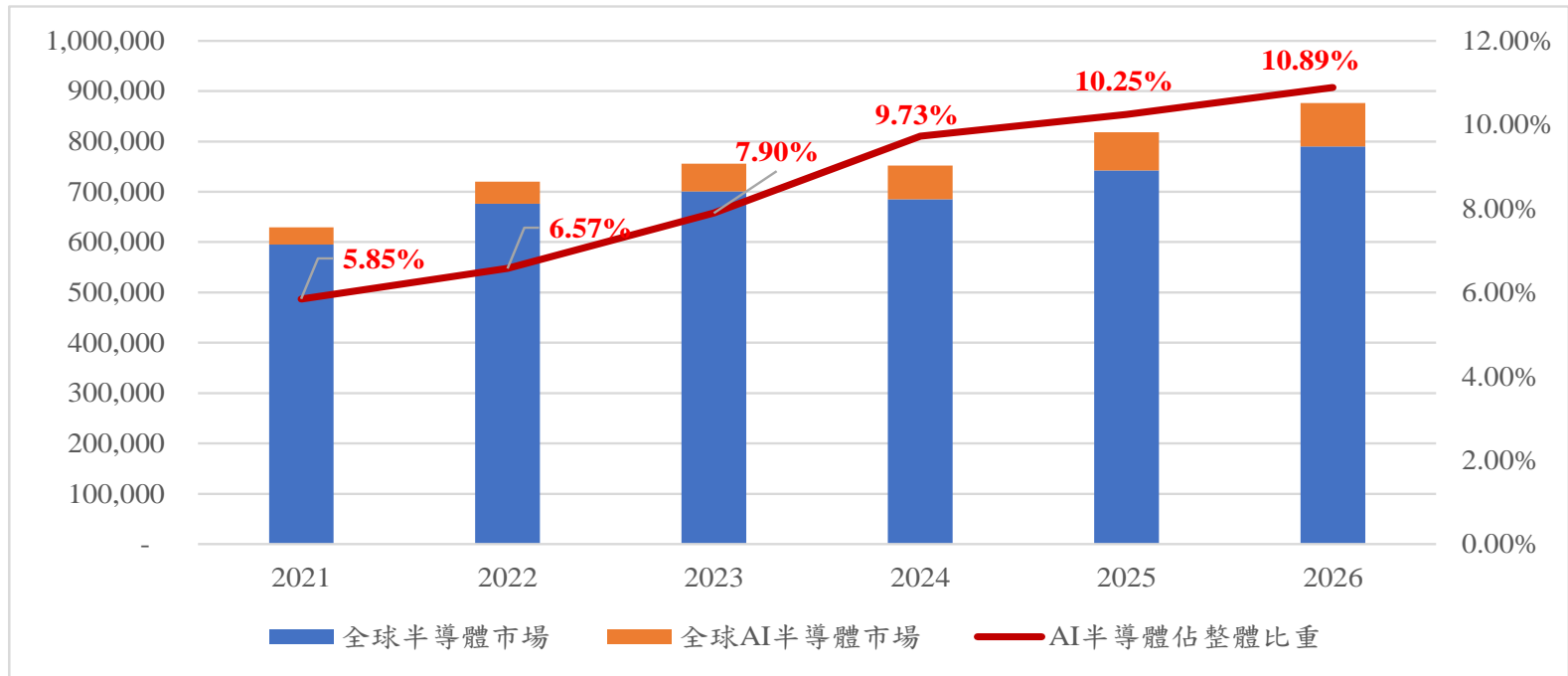
- 計算機視覺(CV)，自然語言處理(NLP)和語音辨識領域以大約每兩年翻15倍數的速度在增長。Transformer 類的模型運算量的增長則更大，約為每兩年翻 750 倍。單一晶片效能提升落後AI模型的發展，因此需要更有力和更多的晶片。



資料來源：onflow、群益投顧預估彙整

# AI晶片成長遠高於半導體市場

- 預估2026 年全球 AI 半導體 市場預估超過 860 億美元，佔全球半導體產值近 11%。
- 全球 AI 半導體 市場 2021~2026 CAGR: 19.9%
- 全球半導體市場 2021~2026 CAGR: 5.8%。
- AMD估計2023年數據中心人工智慧處理器的市場產值為450億美元，到2027年市場將增長到約4,000億美元。



資料來源：工研院產科國際所、群益投顧預估彙整

# 川普和拜登對中半導體政策核心相同

- 川普和拜登對中國半導體政策整體方向一致，都將半導體視為國家安全戰略物，防止中國取得軍民兩用技術，採取限制對中國出口先進半導體技術。
- 主要手段相似，實施出口管制措施，限制美國企業向中國出售特定半導體設備和技術，要求盟國配合實施相關限制。

政策面向	具體內容
核心目標	<ul style="list-style-type: none"><li>• 維護美國科技領先地位和國家安全</li><li>• 限制中國取得先進半導體技術</li><li>• 特別關注AI、超算和軍事應用領域</li></ul>
出口管制	<ul style="list-style-type: none"><li>• 加強關鍵半導體設備和技術出口管制</li><li>• 將特定中國企業列入黑名單</li><li>• 禁止出口高端晶片及製造設備</li></ul>
國際合作	<ul style="list-style-type: none"><li>• 認識到供應鏈全球化的重要性</li><li>• 聯合盟友實施技術限制</li><li>• 特別關注ASML等關鍵企業</li></ul>

資料來源：群益投顧預估彙整

# 拜登政府目標較明確且全面




- 川普政府的半導體限制政策風格強硬且直接，對個別中國企業施加壓力，而拜登政府則在此基礎上擴展政策深度和範圍，並著重多邊合作與國內供應鏈投資，採取更加全方位的策略來應對中國半導體崛起的挑戰。

政策面向	川普政府	拜登政府
執行方式	<ul style="list-style-type: none"> <li>• 採取強硬單邊制裁</li> <li>• 直接將企業列入黑名單</li> <li>• 造成中美關係迅速緊張</li> </ul>	<ul style="list-style-type: none"> <li>• 採取靈活漸進方式</li> <li>• 重視國際協調</li> <li>• 擴大出口管制清單</li> <li>• 增加技術檢查嚴密性</li> </ul>
政策焦點	<ul style="list-style-type: none"> <li>• 針對華為、中芯等特定企業</li> <li>• 集中於5G和特定領域</li> <li>• 限制企業國際市場擴張</li> </ul>	<ul style="list-style-type: none"> <li>• 覆蓋更廣泛產業領域</li> <li>• 鎖定不同技術層次</li> <li>• 延伸至AI晶片和超算系統</li> <li>• 設置更高技術門檻</li> </ul>
國內投資	<ul style="list-style-type: none"> <li>• 提出但未通過晶片法案</li> <li>• 缺乏實質性投資計劃</li> </ul>	<ul style="list-style-type: none"> <li>• 推進並通過CHIPS法案</li> <li>• 大幅增加國內產業投資</li> <li>• 補貼本土建廠</li> <li>• 強化供應鏈自主性</li> </ul>
中美交流	<ul style="list-style-type: none"> <li>• 中美科技交流停滯</li> <li>• 政策缺乏妥協空間</li> </ul>	<ul style="list-style-type: none"> <li>• 保留有限對話機制</li> <li>• 允許特定例外情況</li> <li>• 試圖控制影響範圍</li> </ul>

資料來源：群益投顧預估彙整

# 中國跨入N7製程以下難

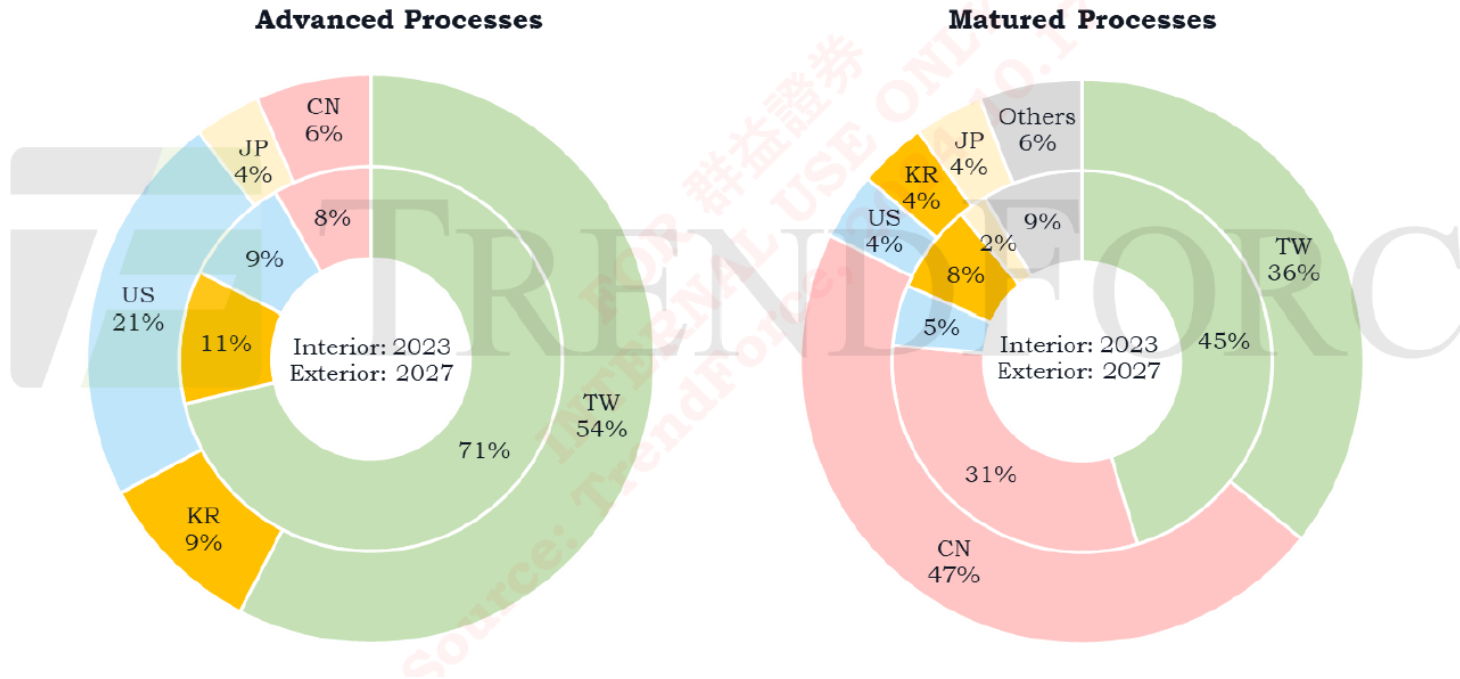
- 中國管制16/14nm及以下的邏輯晶片生產設備。

Company	2016	2017	2018	2019	2020	2021	2022	2023	2024	2025	2026	2027
	N16FF	N10 N12	N7	N7+ (EUV)	N5/N6	N5P	N4/N3	N3 N4P/N 4X	N3E N5A	N2 N3P/N 3X/N4 C	N2P/N 2X N3A	A16
<b>SAMSUNG</b>	N14FF	N10	N8	N7 EUV	N5/N6	N4	3GAE		3GAP	SF2	SF2P	SF1.4
<b>intel</b>	N14				Intel 10	Intel 7	Intel 4	Intel 3	20A/18 A	14A		14A-E
<b>UMC</b>		N14FF			N22							
		N22 FDSOI	N12FF	N12 FDSOI								
					N14FF	N12FF		N8/ N10FF				

資料來源：各公司、群益投顧預估彙整

# 中國全力發展成熟製程

- 美國祭出實體清單，明文禁止用於1X奈米及以下先進製程之美國技術銷售予被列入清單公司，多數中國晶圓代工業者因而轉向積極擴充28nm及以上成熟製程技術。使未來成熟製程的競爭壓力增加，聯電等非中系成熟晶圓代工業者壓力增。
- 但相對的，台灣晶圓代工廠也有機拿接到去中化的訂單。



資料來源：TrendForce，群益投顧彙整

# 增加投資第三代半導體

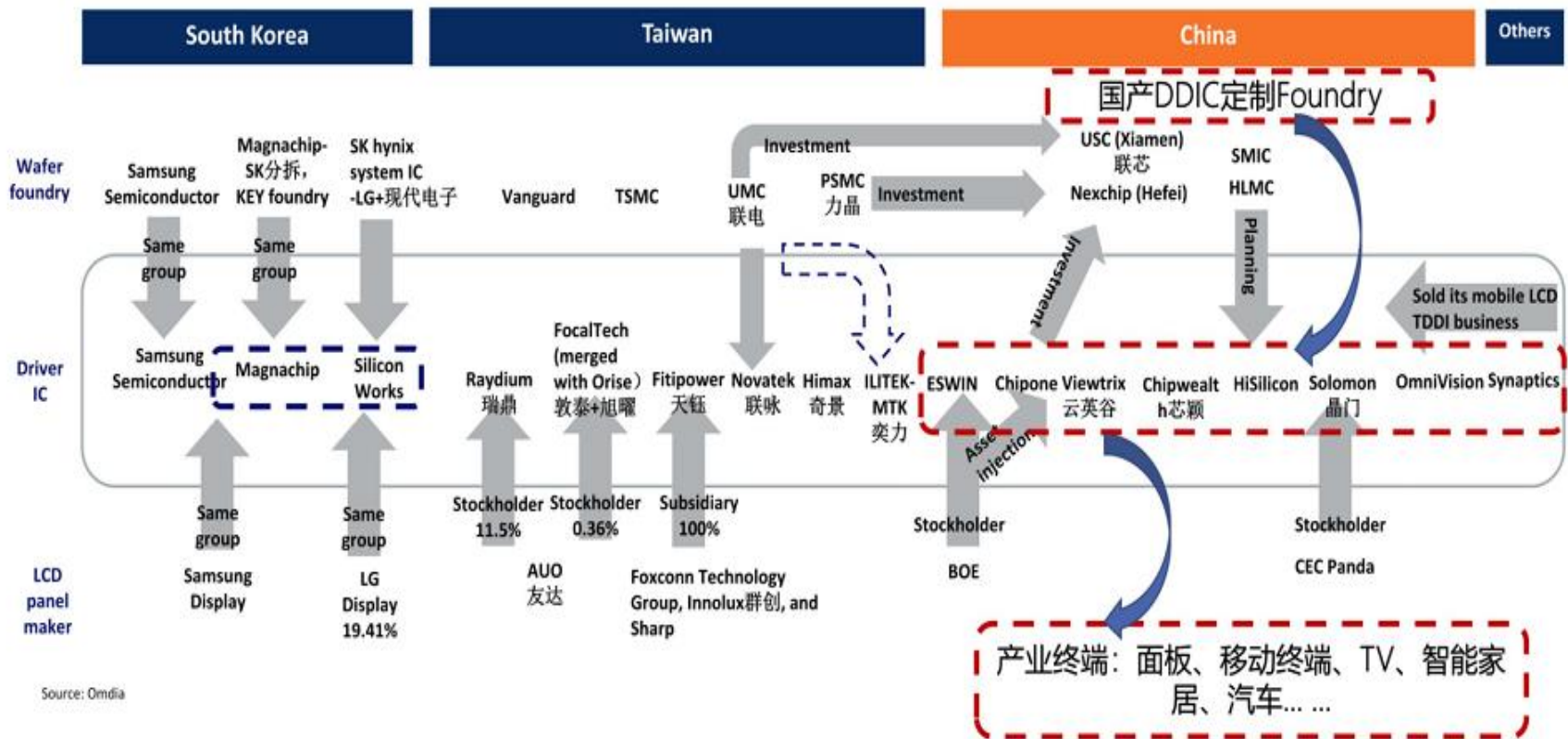
- 先前美國將第四代半導體列為出口管制。但由於氧化鎵和金剛石目前仍處開發階段，出口管制短期並不會對中國大陸有衝擊，但也抑制未來的發展。
- 雖然第三代半導體目前仍掌握在歐美為主，但中國大陸近幾年在此方面申請專利積極，且本土電動車廠也扶植大陸本土廠，且大陸有補助，使台灣廠的壓力變大。

各世代半導體材料及應用比較			
世代	半導體材料	能隙 ( eV )	相關應用
第一代	矽 ( Si ) 、矽鍺 ( SiGe )	1.12	CPU、GPU、記憶體、類比晶片、功率元件 ( 低壓 ) 、射頻元件。
第二代	砷化鎵 ( GaAs ) 、磷化銦 ( InP )	1.4	射頻元件、感光及發光元件
第三代	碳化矽 ( SiC ) 、氮化鎵 ( GaN )	3.25-3.4	功率元件 ( 高壓 ) 、射頻元件
第四代	氧化鎵 ( Ga <sub>2</sub> O <sub>3</sub> ) 、金剛石 ( C )	 氧化鎵：4.5-4.9 金剛石：5.4	功率元件 ( 高壓 )

資料來源：財經M平方、群益投顧彙整

# 中國積極扶植面板供應鏈

- 中國在面板市佔率高，為減少受制美國，會積極扶植本土上下游供應鏈，特別是大尺寸驅動IC，大尺寸驅動IC主要是以8吋成熟製程為主，不在管制範圍，台灣相關廠將有可能受影響。



資料來源：集創北方、群益投顧彙整

# 中國電動車半導體為重點項目

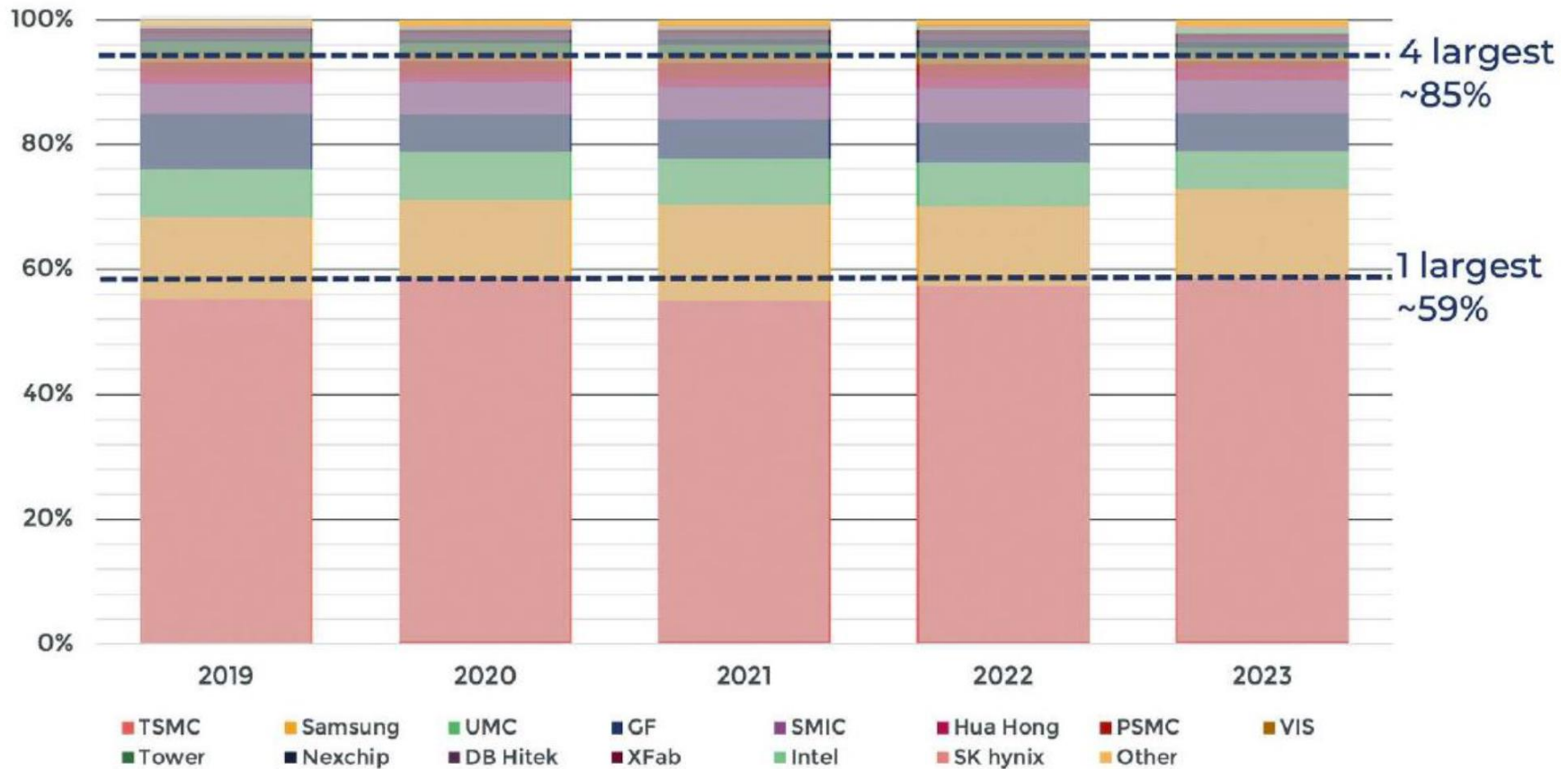
- 美中貿易衝突日趨激烈，中國政府半導體產業發展試圖與美國脫鉤。雖中國自駕車晶片技術很難與歐美對抗，但提升汽車智慧駕駛和車載娛樂，算有相當潛力。中國也投入電動車、車用電池的研發，相關半導體 IGBT/ Mosfet 產出將會增加。



資料來源：Yole，群益投顧彙整

# 台積電市佔率持續提升

- 美中半導體衝突多年，地緣政治議題日趨複雜，但台積電的市率仍穩定向上，競爭力還是業績重要的依據。



資料來源：Yole、群益投顧預估彙整

# 台積電的競爭核心是先進製程

- N3X(extreme performance-focused) 與 N3P 相比，N3X 製造的晶片可將 Vdd 從 1.0V 降至 0.9V，在相同頻率降低功耗 7%，在相同面積下提高性能 5%，或相同頻率者下，將晶體管密度提高約 10%。N3X 製程主要優勢於其最大電壓為 1.2V，對桌面或資料中心 GPU 等 ultra-high-performance 應用非常重要。。

Node	N3 vs N5	N3E vs N5	N3P vs N3E	N3X vs N3P	N2 vs N3E	N2P vs N3E	N2P vs N2	A16 vs N2P
Power	-25% -30%	-34%	-5% -10%	-7%***	-25% -30%	-30% -40%	-5% -10%	-15% -20%
Performance	+10% +15%	+18%	+5%	+5% Fmax @ 1.2V**	+10% +15%	+15% +20%	+5 +10%	+8% +10%
Density*	-	1.3x	1.04x	1.10x***	1.15x	1.15x	?	1.07x 1.10x
HVM	4Q22	4Q23	2H24	2H25	2H25	2H26	2H26	2H26

\*Chip density published by TSMC reflects 'mixed' chip density consisting of 50% logic, 30% SRAM, and 20% analog.

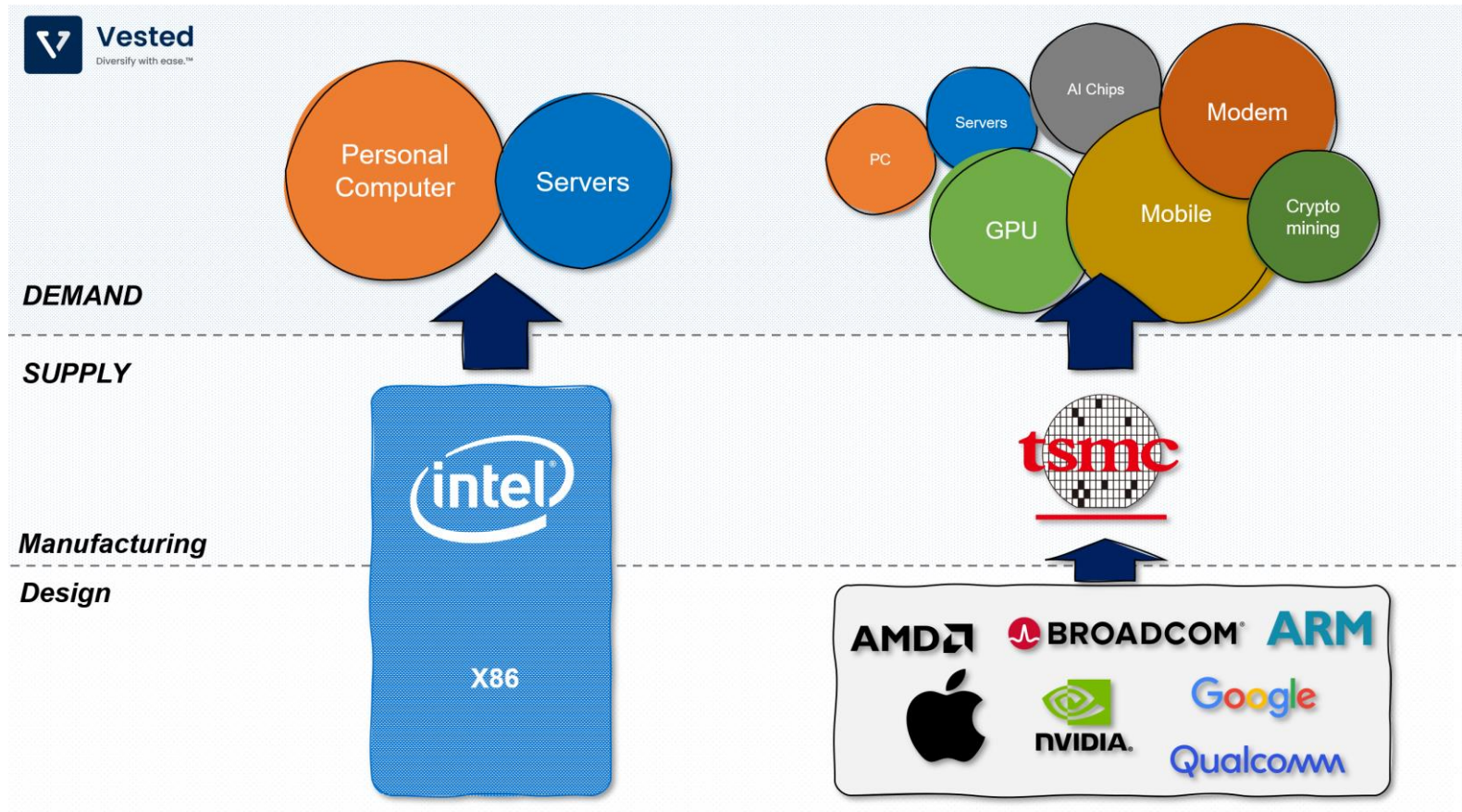
\*\*At the same area.

\*\*\*At the same speed.

資料來源：TSMC、群益投顧預估彙整

# 台積電與客戶共生共榮

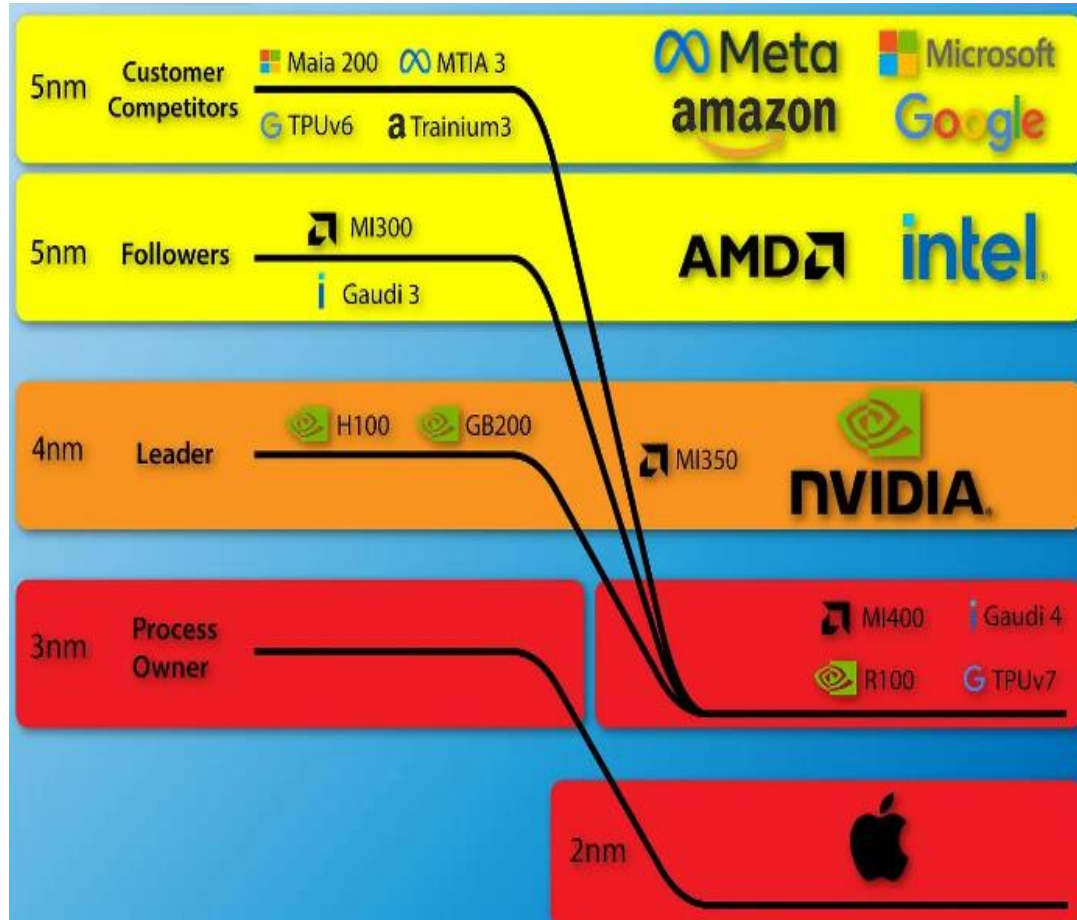
- 台積電成立初期至今只專注於製造晶片，不會設計晶片，不與客戶競爭。因此和IDM相比，可製造不同的產品，分散單一產業的風險，並和客戶合作持續研發先進製程，因此良率和量產速度都優於競爭對手。



資料來源：Vested、群益投顧預估彙整

# 台積電N3幾乎取得所有客戶

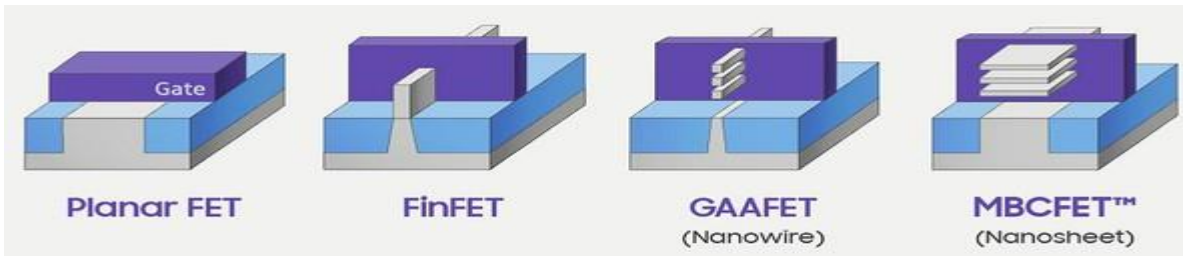
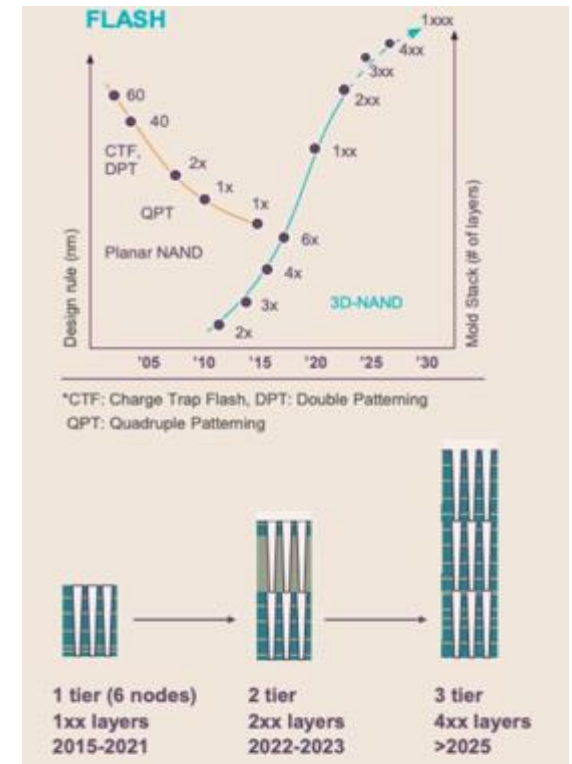
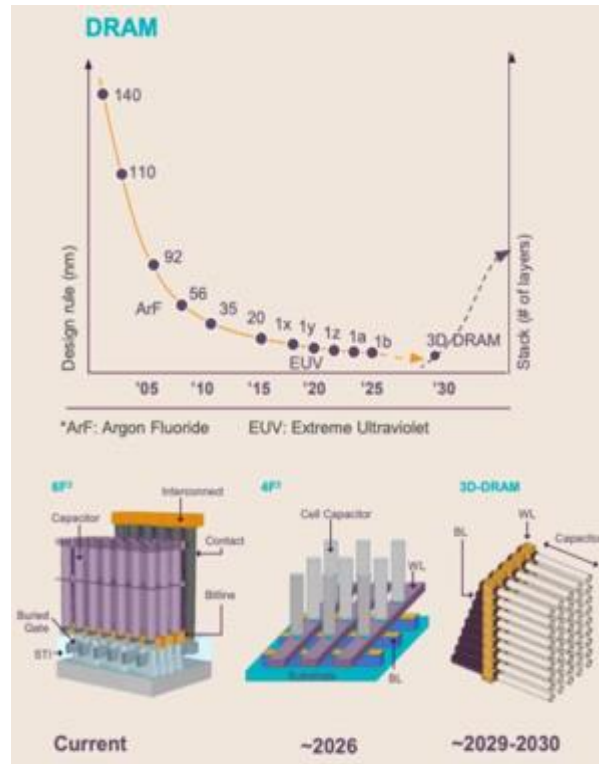
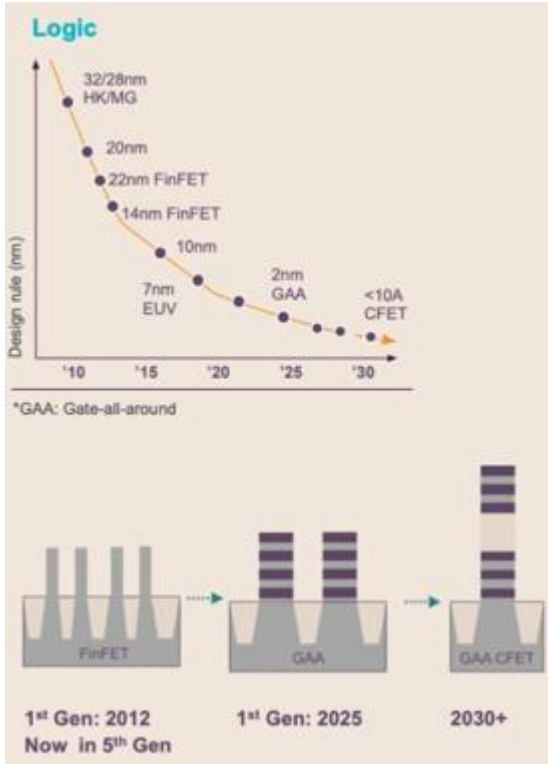
- 台積電轉換部分N5設備支援N3產能，預估台積電N3家族月產能有望拉升到13~14萬片，是2023年產能的3倍。



- 台積電：**
  - 3nm：已拿下蘋果、高通及聯發科等大廠訂單。
  - 2nm：除一家大廠不是台積電的2nm製程客戶外，其他都將是台積電的客戶。
- Samsung：**
  - 3nm：自有品牌Exynos2500、加密貨幣挖礦公司。
  - 2nm：日本AI獨角獸新創公司Preferred Networks(PFN)訂單，近期積極拉攏Meta。
- Intel：**
  - Intel 4：自有品牌Meteor Lake。
  - 18A：微軟(預定)。

資料來源：Semikiwi、群益投顧預估彙整





# 先進製程開始往3D發展



台廠材料、檢測商有商機

# N2開始採用BSPDN

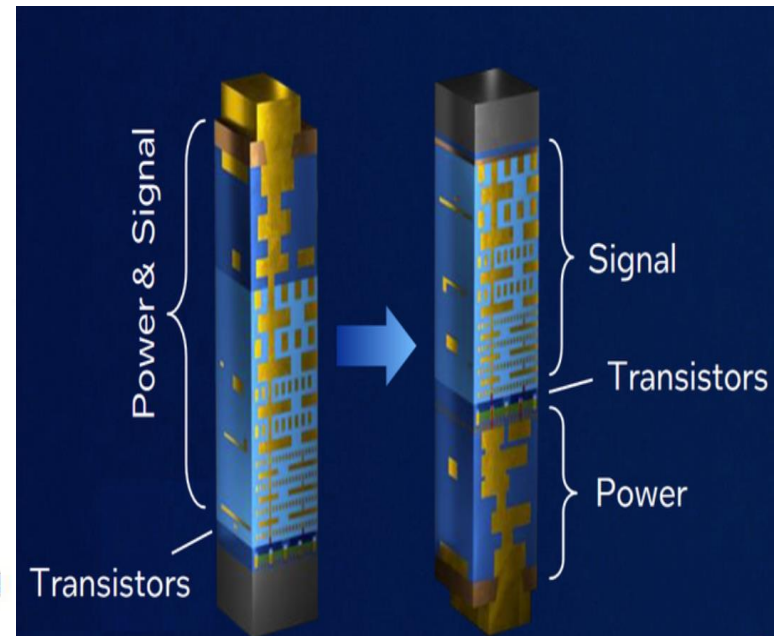
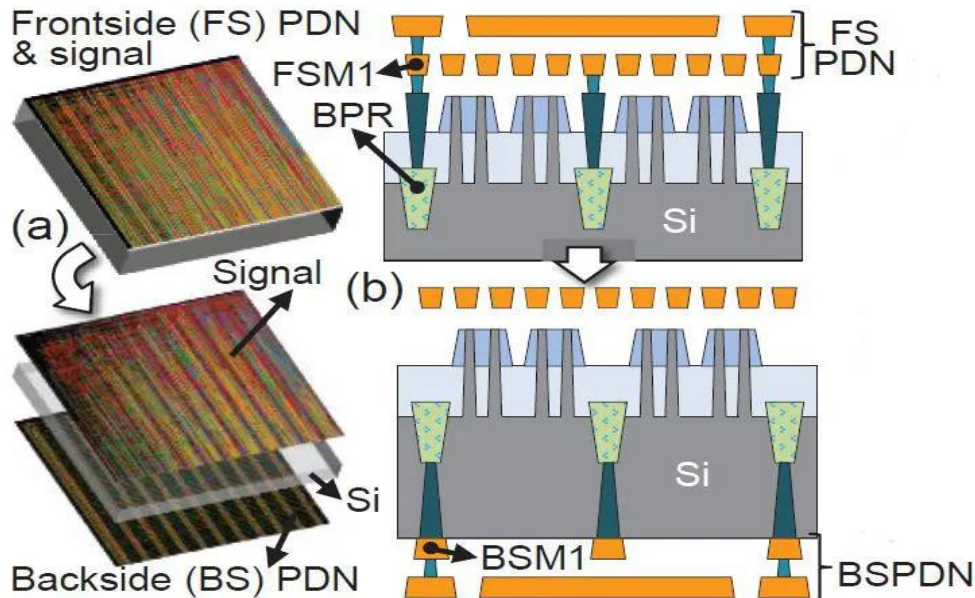
- Intel：2024年開始使用 HNS (水平奈米片)和背面供電技術。
- Samsung：使用 HNS 技術，計劃2026年引入背面供電。
- TSMC：2025年開始使用 HNS 技術。2026年引入背面供電。從3E製程到14A。

公司名	2022	2023	2024	2025	2026	2027	2028
	N4	N3 N4P/N4X	N3E N5A	N2 N3P/N3X	N2P/N2X N3A A16 (1.6nm) 註：nanosheet架構； 超級電軌(Super Power Rail;SPR) 晶圓背面供電(backside power delivery)傳輸	A14(1.4nm)	
	SF4(4nm) 註：FinFET, 2021年量產 SF3E(3nm) 註：GAA		SF3	SF3P SF2	SF2P SF2X	SF2A, SF2Z 註：SF2Z首次採用 「背面供電網路」(BSPDN) SF1.4(1.4nm) 註：nanosheet架構	
	Intel 4(≒7~5nm)		Intel 3(≒5~3nm) Intel 20A(≒3~2nm) 註：Intel 20A 採用PowerVia 背後供電技術	Intel 18A(≒2~1.4nm)		Intel 14A(≒1.4nm)	
						2nm	

資料來源：IEK、群益投顧預估彙整

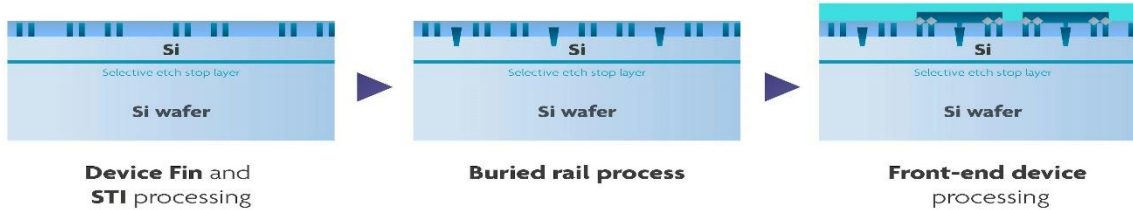
# BSPDN降低電路干擾問題

- 晶背供電（Backside Power Delivery Network, BSPDN）是將供電線路移至晶圓背面，解決傳統正面供電在線路微縮至奈米尺度時所產生的干擾問題。
- BSPDN具有以下優點：1)降低電阻：供電線路更寬、電阻更低，因此減少電壓降和功耗。2)改善散熱：供電線路移至晶圓背面，騰出更多的晶圓正面空間，從而改善散熱。3)提高晶片集成度：使晶片設計更加靈活，提高晶片集成度。

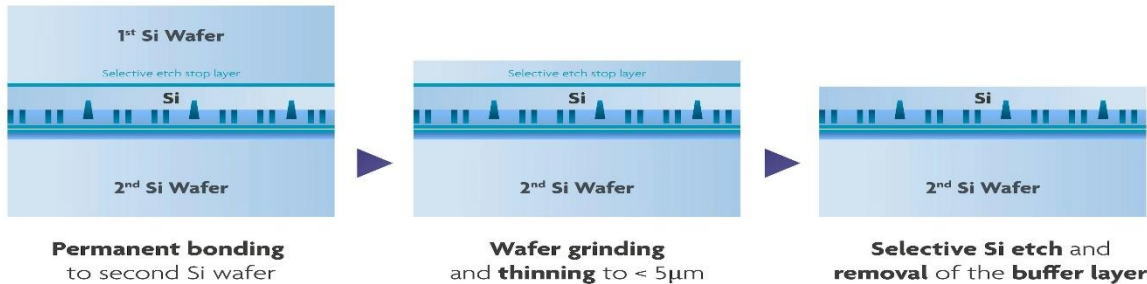


# Buried Power Rail

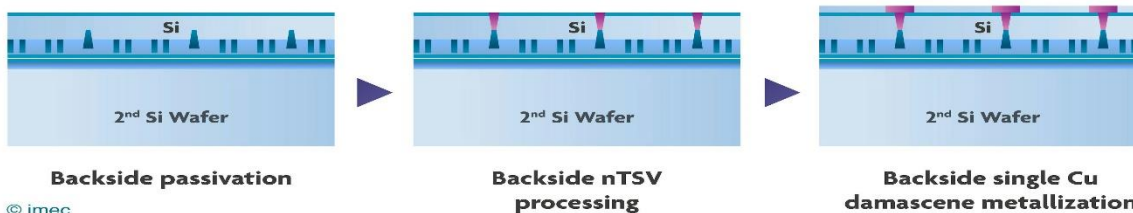
## STEP 1 frontside processing with buried rails



## STEP 2 wafer-to-wafer bonding and wafer thinning

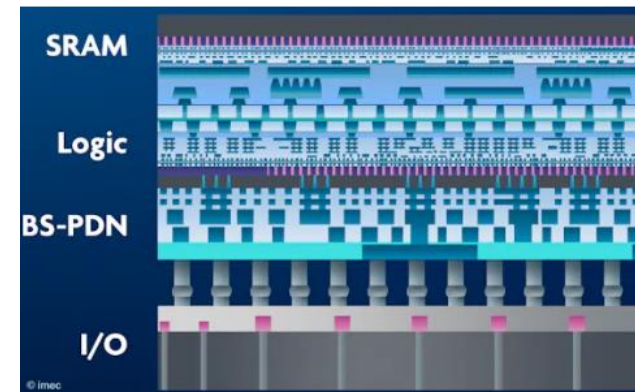


## STEP 3 nTSV processing and connection to BPRs



© imec

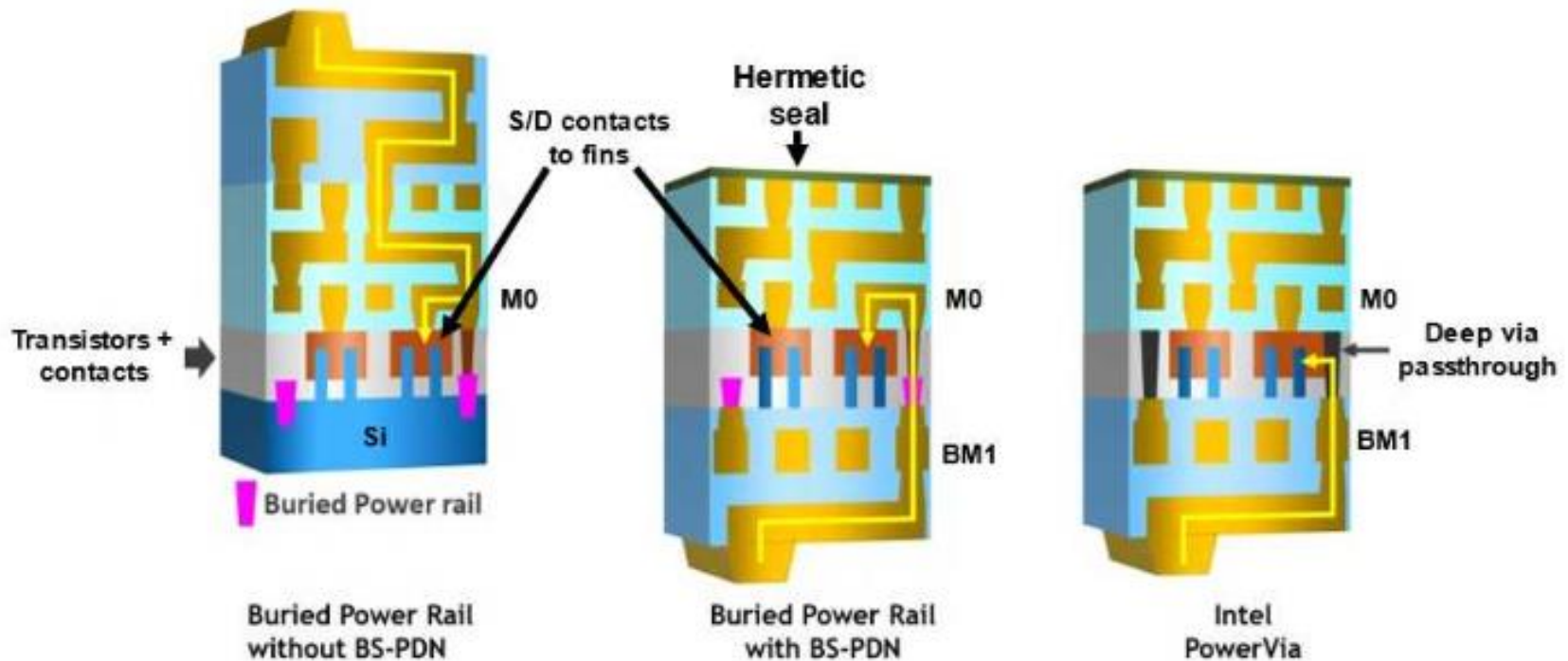
- 晶圓背面供電( BSPDN ; Backside power delivery networks )，把配電網路(PDN)移到晶圓「背面」，台積電 SPR 架構為埋入式電源軌( BPR ; Buried Power Rail)。
- 新增加的製程步驟(例如 BPR 整合、晶圓減薄和 nTSV 處理)。



資料來源：imec、群益投顧預估彙整

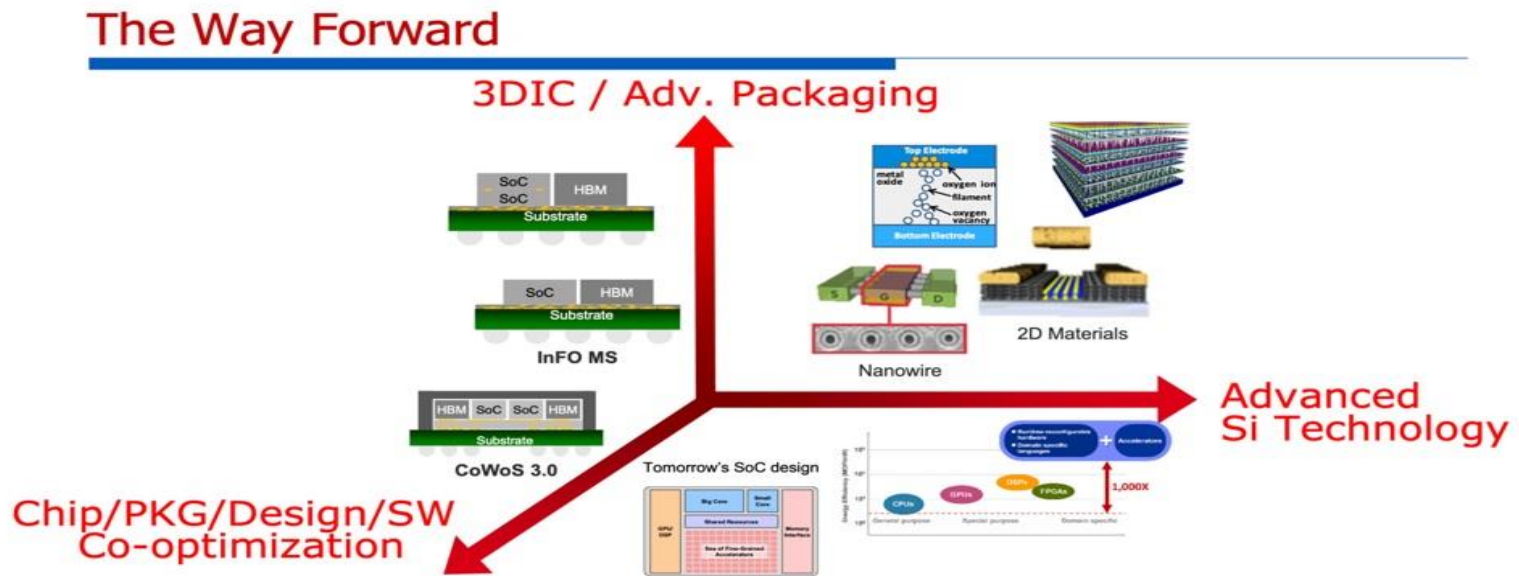
# Buried Power Rail vs PowerVia

- Intel PowerVia的工藝和TSMC/imec的BSBPR大致流程相同，同樣也需要在晶圓正面製造完成後將其翻轉，鍵合到一個承載晶圓(Carrier Wafer)上，隨後再通過曝光流程在晶圓背面刻蝕得到nTSV並將其與BPR連接。
- Intel的PowerVia使用深通孔直通(DVP: Deep Via Passthrough)提供與電晶體的直接電源連接。消除標準單元中，正面下部金屬層的所有電源傳輸。



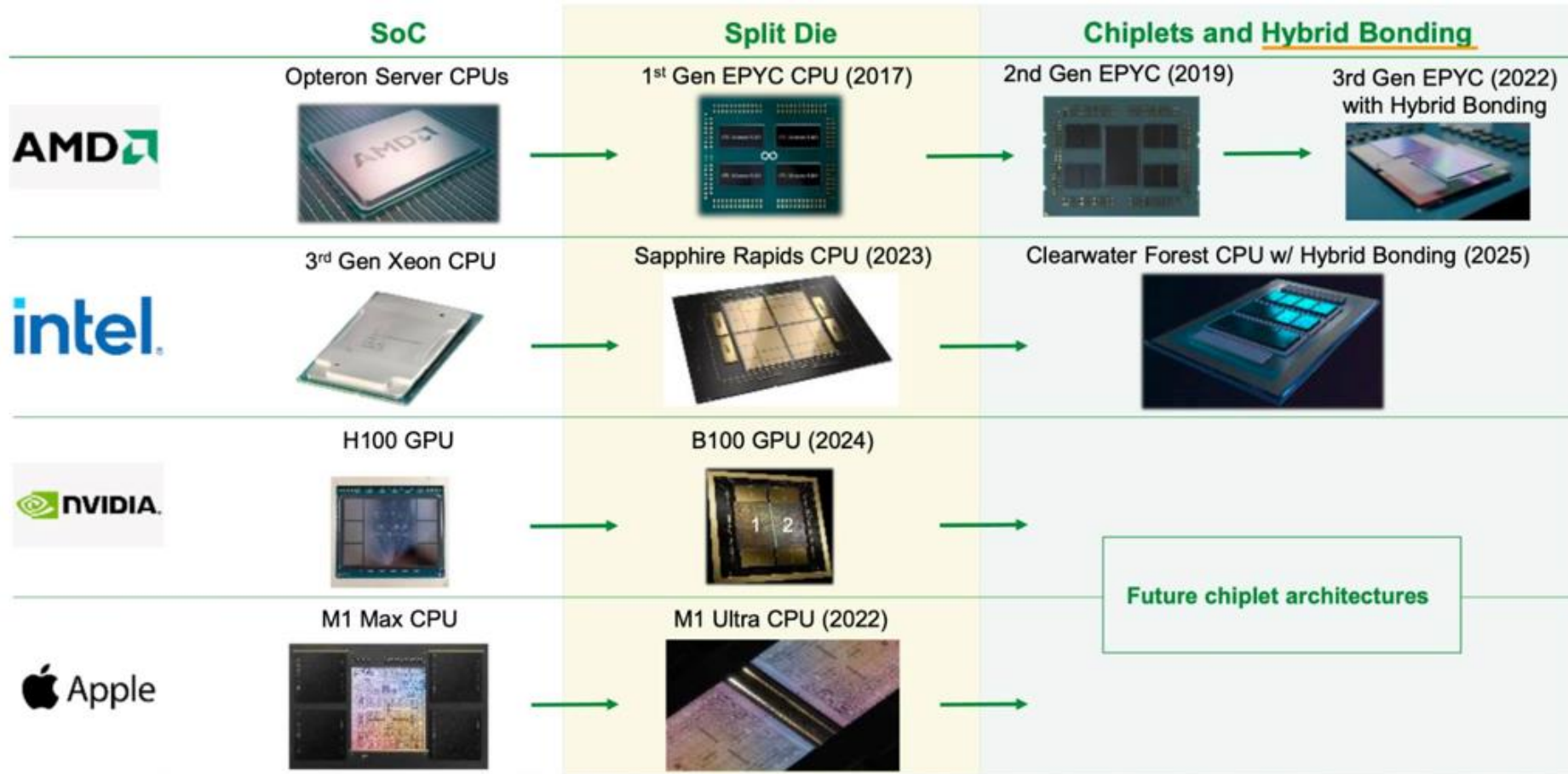
# 延續摩爾定律 台積電跨入封裝

- 摩爾定律出現瓶頸，尺寸微縮速度變慢 (通常是Metal Pitch/閘極長度)。但希望電晶體密度增加速度不要減慢，因此晶圓廠/IDM 為延續摩爾定律，朝向2.5D、後段3D 及前段3D 技術研發。
- 台積電從「後摩爾定律」(More Moore, MM)與「超越摩爾定律」(More than Moore, MtM)兩個面向來推動尖端半導體製程的演進。台積電「3DFabric」主要是「系統微縮」(System Scaling)，承襲 SoC Scaling 的 PPA/PPV (效能、功耗、面積/體積) 的脈絡。



資料來源：TSMC、群益投顧預估彙整

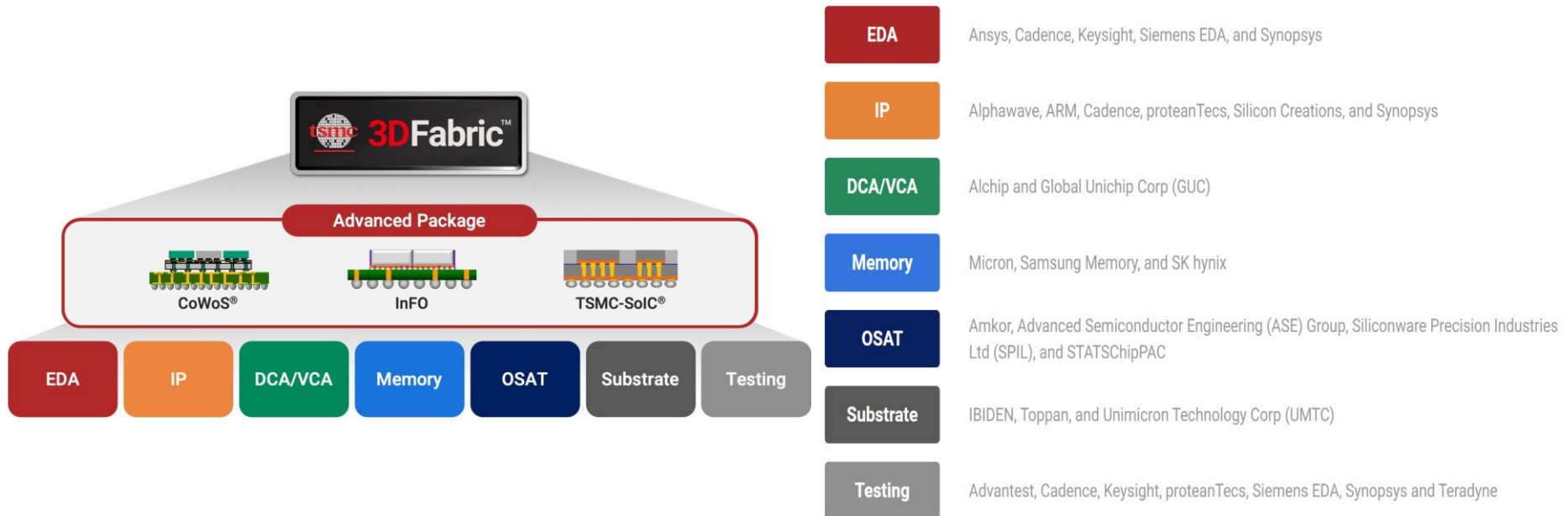
# AI晶片演化成系統化的設計



資料來源：Besi、群益投顧預估彙整

# TSMC 3DFabric™ Alliance

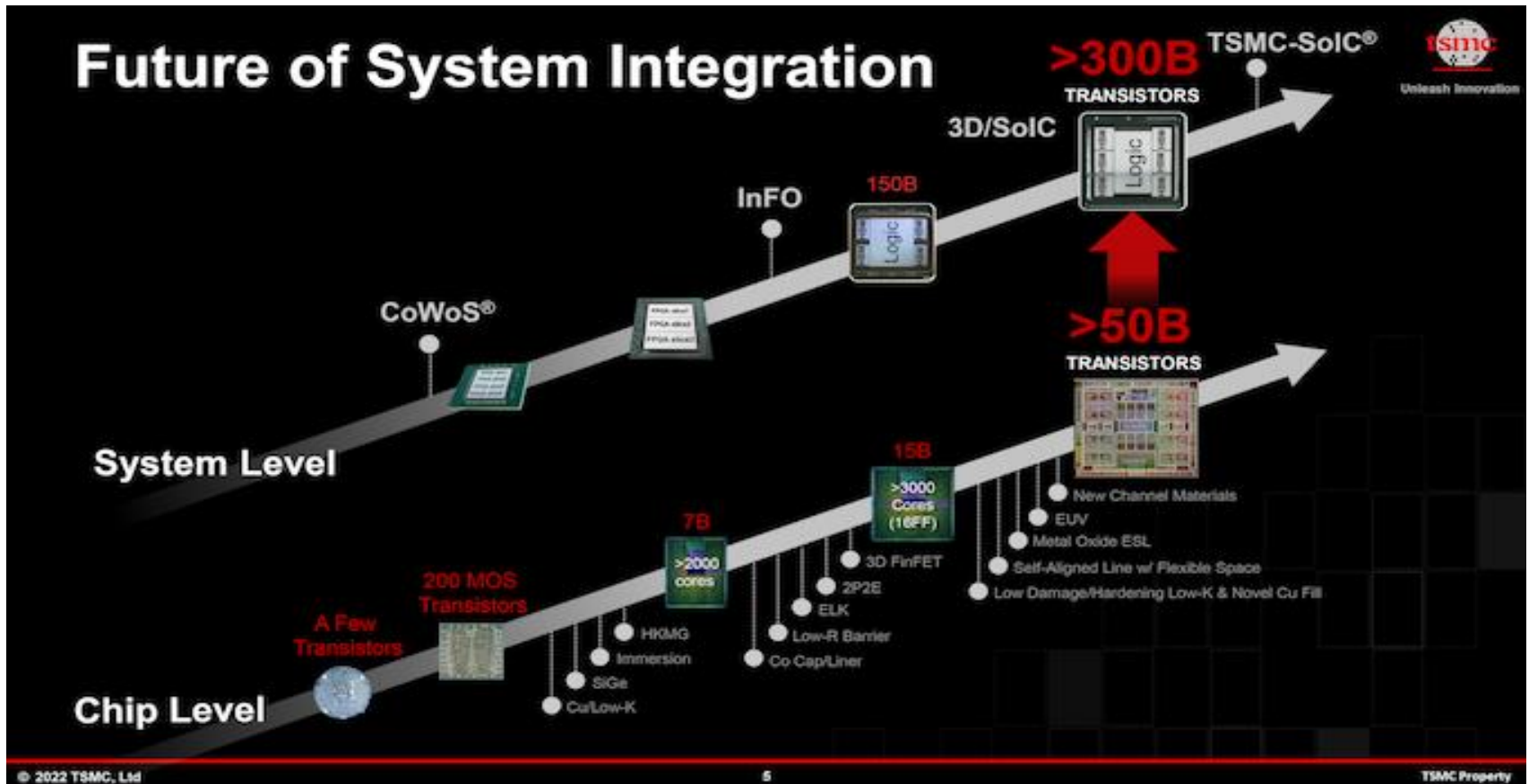
- 台積電因應時代所做轉型，從單打獨鬥至開放創新平台OIP大聯盟，晶片製造非單一公司所能達成，台積電 3DFabric 聯盟幫助客戶克服半導體和系統級設計複雜性日益嚴峻的挑戰。
- 先進邏輯製程與 3DFabric 技術相互合作，為半導體設計、記憶體模組、基板技術、測試、製造和封裝提供全方位的一流解決方案和服務，從而引領系統設計產業。



資料來源：TSMC、群益投顧預估彙整

# multi-tile Chiplet designs比例增加

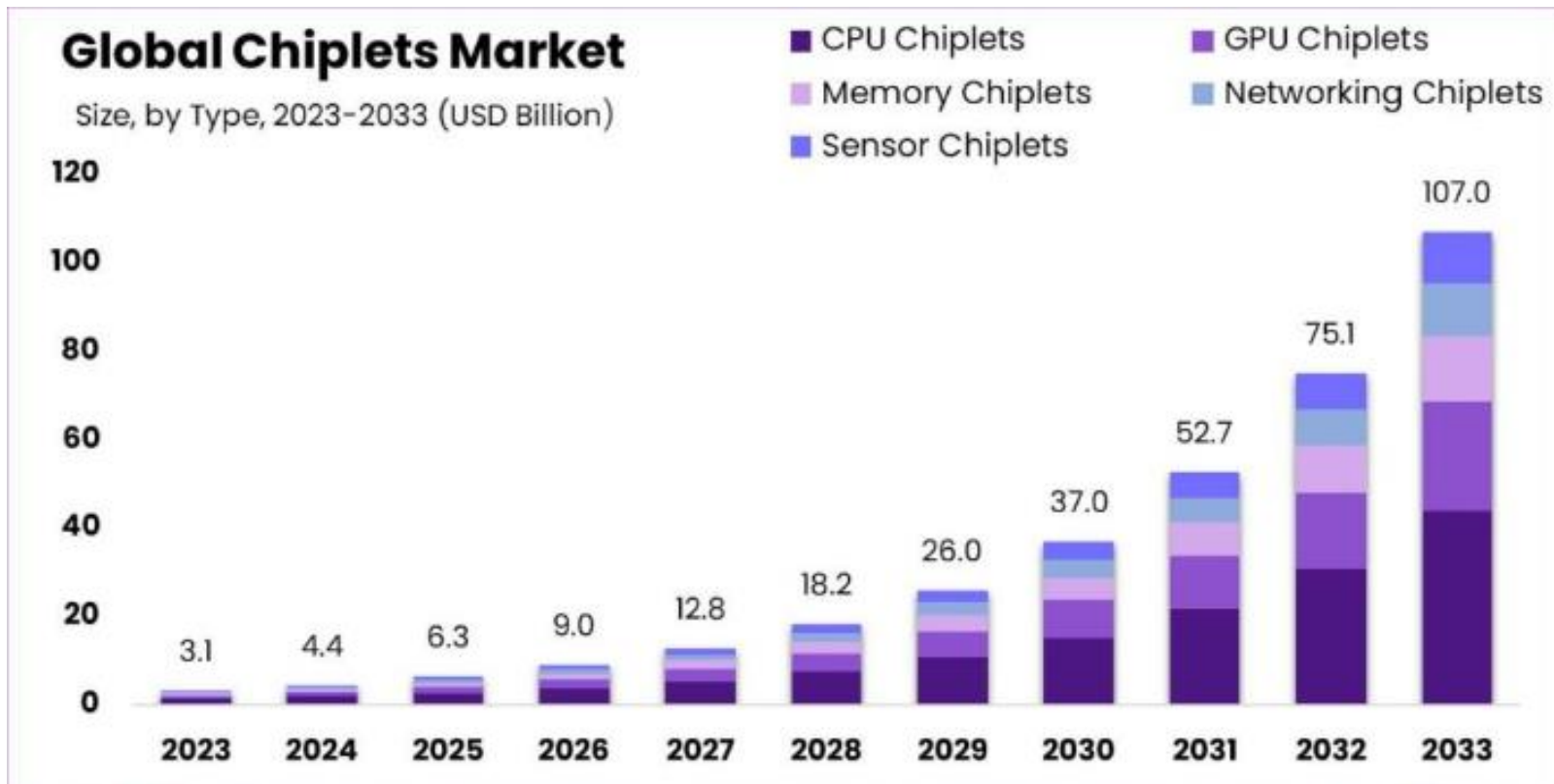
- 提高處理器計算能力的方法之一是增加其transistor count，但單靠SOC技術提升，時間長且良率低，因此AI/HPC 運算晶片採用multi-tile chiplet designs比例增加，Intel Ponte Vecchio GPU採用47個tile。



資料來源：TSMC、群益投顧預估彙整

# Chiplet CAGR YoY+42.5%

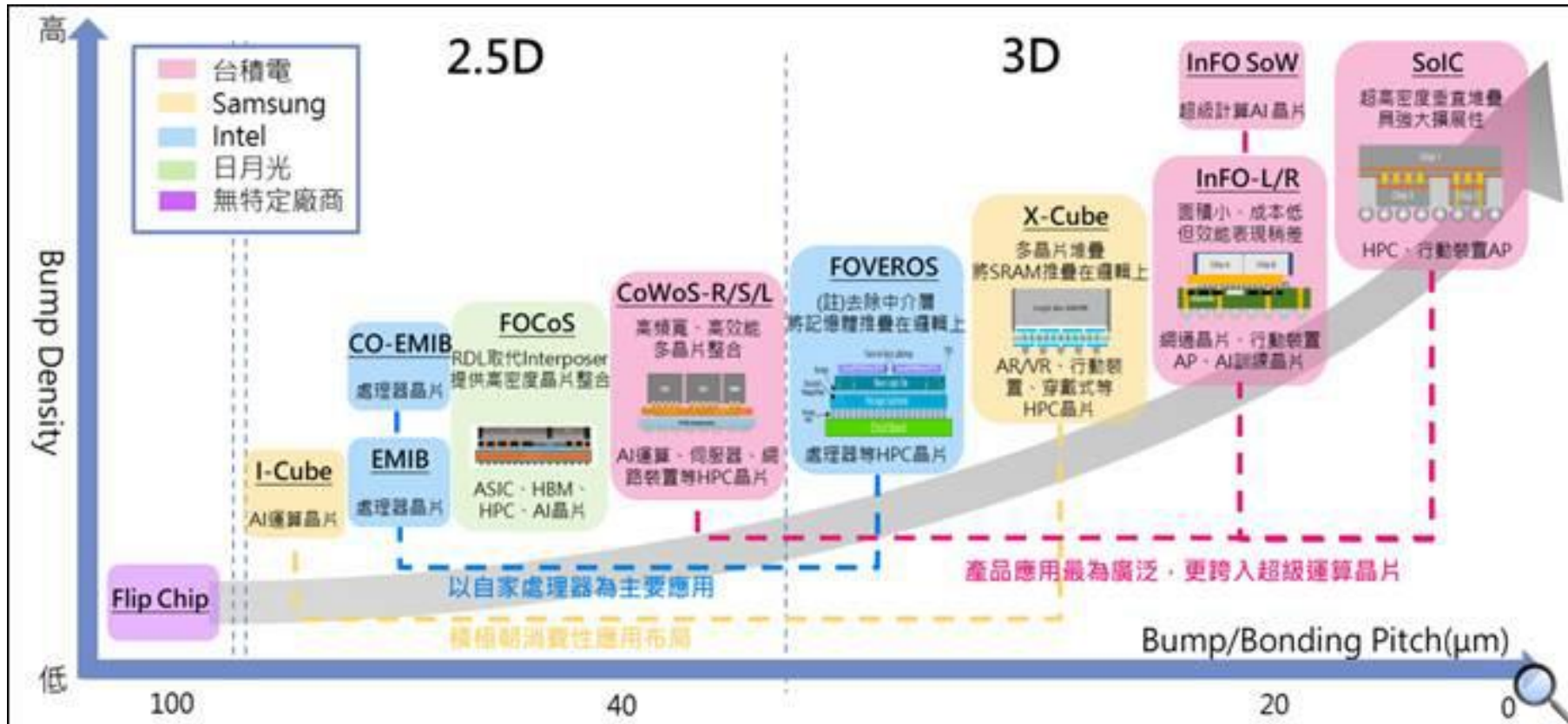
- 2023年全球chiplet市場營收約31億美元，預計到2024年將達到44億美元。預估未來10年Chiplet產業的複合年增長率預計將達到42.5%，到2033年估值將達到1,070億美元。



資料來源：market.us、群益投顧預估彙整

# 先進製程廠商引領高階封裝技術

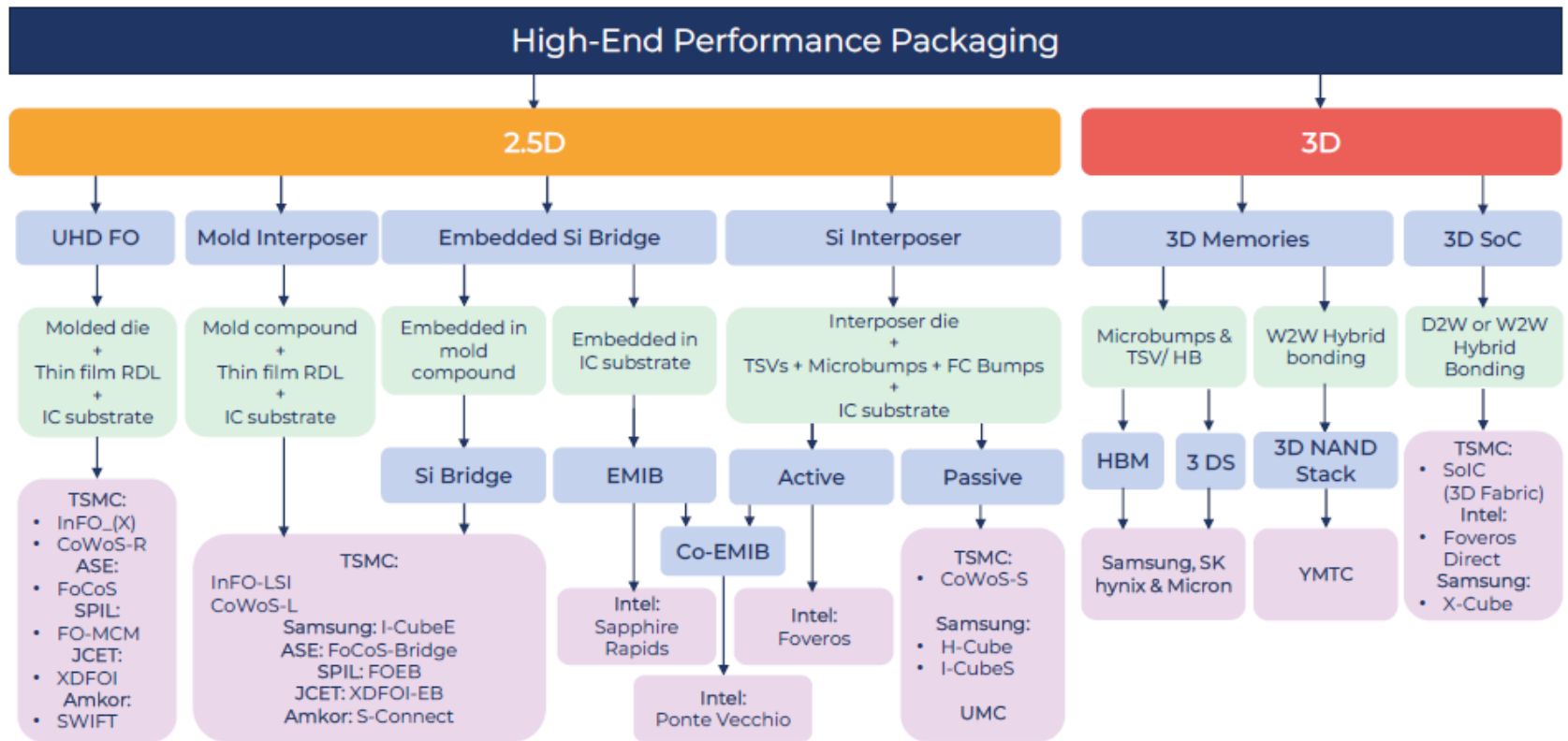
- Intel、TSMC及Samsung皆有投入2.5/3D封裝，將其先進製程技術所產出的晶片配合自家的先進封裝，來完成客戶的產品，提高產品良率。



資料來源：MIC、群益投顧預估彙整

# IDM和封測廠相關技術

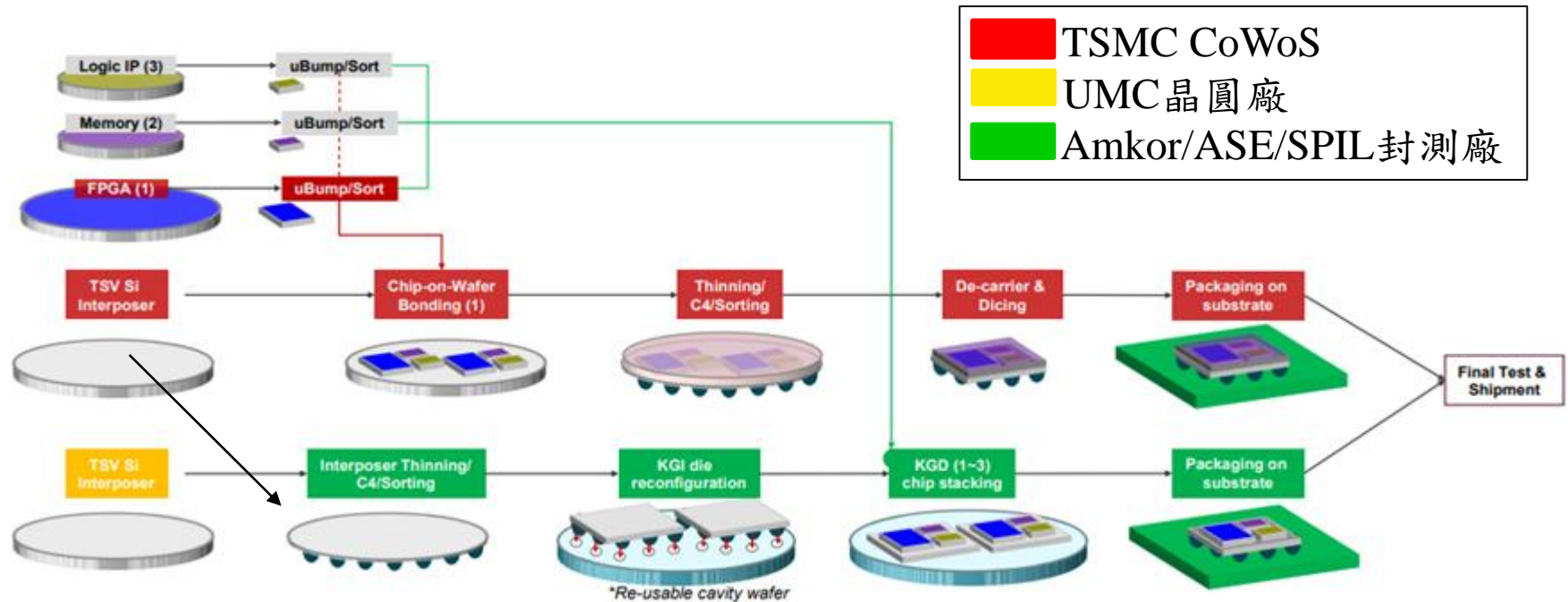
- 2.5/3D封裝相關技術發展多年，台積電2012年就推出CoWoS，很多廠商也都宣布有相關技術，原理是差不多，但專利不同，名稱不同。
- 台積電目前的專利最多，可以靈活應對各種高階封裝需求，競爭力優於同業。



資料來源：Yole、群益投顧預估彙整

# CoWoS/類CoWoS需求佳

- CoWoS是台積電的專利，CoWoS吃緊，NVIDIA及其他台積電客戶認證非台積電供應鏈，包括聯電、Amkor、ASE/SPIL等。
- IC設計/IDM可以自找其他非台積電供應鏈，但需要負擔更多的風險。若是台積電統包，有任何問題，只要找台積電即可。
- 台積電3Q24 CoWoS月產能有望自17K增至33K，預估台積電2025年年產能將達600K。較12/2023的12~13K/月大幅增加。



# System-on-Wafer (TSMC-SoW™)

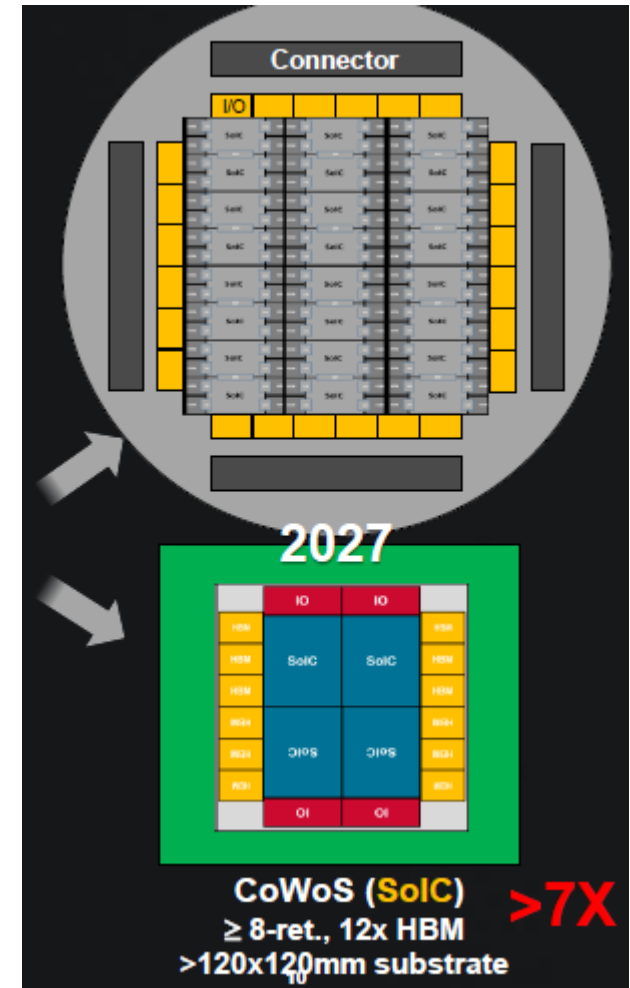
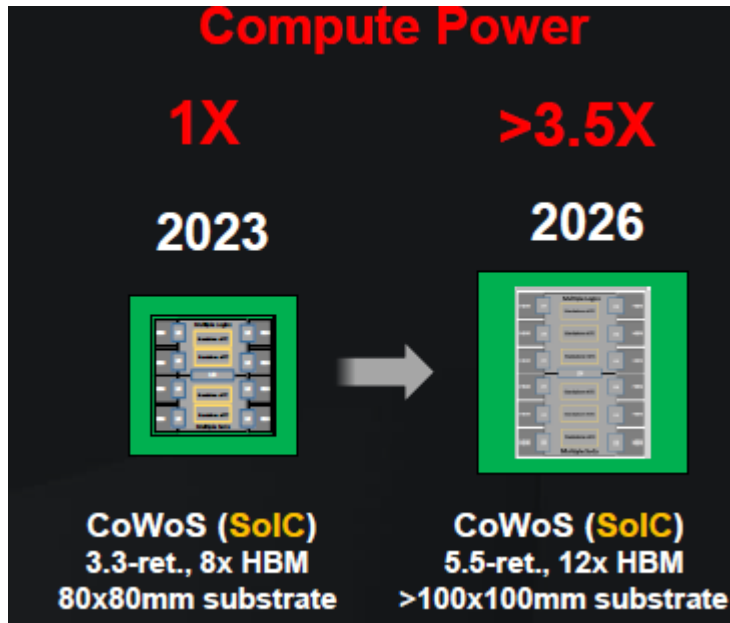
SoW (w/ SoC or SoIC) >40-ret., >60x HBM

Scalable for large clustered xPU in next-gen data centers

- Leverage InFO and CoWoS tech

InFO-SoW in production

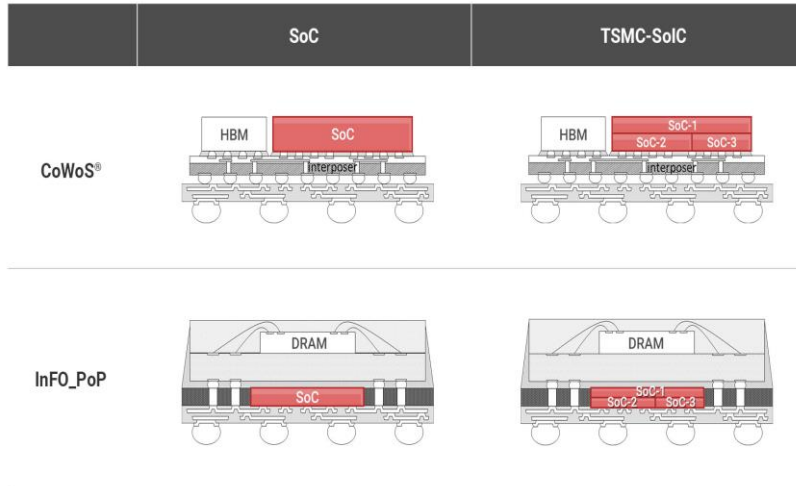
CoW-SoW to be ready for MP '27

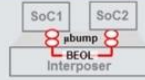




資料來源：TSMC、群益投顧預估彙整

# SoIC和InFO/CoWoS整合運作

- Front-end 3D：SoIC和InFO/CoWoS運作整合將同質或異構chiplets都整合到一個 SoC-like 的晶片中，使晶片面積更小和更薄。外觀上，SoIC就像普通的SoC，但嵌入所需的異質整合功能。本質就是在做一顆 SoC 晶片，基本上全部都在晶圓廠完成。
- Back-end 3D：前端封裝完成的 SoIC 晶片，搭配立體封裝技術advanced WLSI，如 CoWoS 和 InFO。相關後端封裝技術是其他封測廠商積極跨入的領域。



Technology	2.5D	3D-IC	SoIC
Structure cross-section			
Interconnect	μbump + BEOL	μbump	SoIC bond
Bump Density	1.0X	1.0X	16.0X
Speed	0.01X	1.0X	11.9X
Bandwidth Density	0.01X	1.0X	191.0X
Power Efficiency (Energy/bit)	22.9X	1.0X	0.05X



資料來源：TSMC、ISSCC 2021、群益投顧預估彙整

# 預估SoIC在2026~2027年將有30個產品

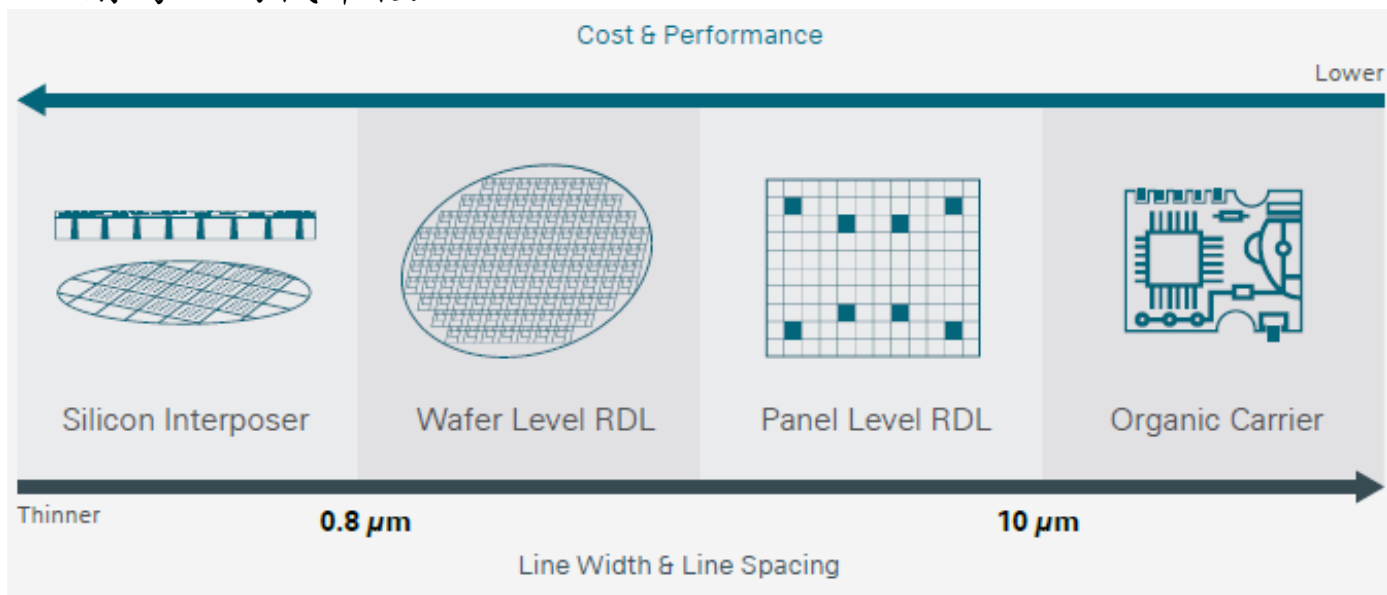
- 台積電計劃SoIC-X到2027年晶片將使用3 $\mu$ m鍵合間距矽通孔(TSV)連接，其密度是現在9 $\mu$ m間距尺寸的3倍，更小的互連將允許在相同面積下有更大數量IO，增加組裝晶片的頻寬密度(提高性能)，台積電對業界採用SoIC樂觀，預計2026~2027年約30個SoIC產品。

Year	2022	2023	2024	2025	2026	2027
Top Die	N7	N5	N4	N3	N2	A16
Bottom Die	N7	$\geq$ N6	$\geq$ N5	$\geq$ N4	$\geq$ N3	$\geq$ N2
Bond Pitch	9 $\mu$ m	9 $\mu$ m	6 $\mu$ m	6 $\mu$ m	4.5 $\mu$ m	3 $\mu$ m
Size*	0.1 reticle	0.4 reticle	0.8 reticle	1 reticle	1 reticle	1 reticle
Top Die	N7	N5	N4	N3	N2	A16
Bottom Die	N7	$\geq$ N6	$\geq$ N5	$\geq$ N4	$\geq$ N3	$\geq$ N2

資料來源：TSMC、群益投顧預估彙整

# 台積電短期跨入面板級封裝機率低




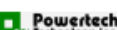







- 相對於晶圓級扇出封裝成熟的尺寸標準化、設備和材料工藝的完整化，FOPLP仍然面臨著精度、翹曲、良率以及配套設備的挑戰。
- RDL方面，FOPLP線寬/線距當前達到10um/10um，而台積電RDL Interposer由最多6-Layer銅層組成，4 um Pitch，L/S精度可達2 um來實現。
- 台積電跨入系統級封裝，是希望在相同面積下，有更多的電晶體，晶片效率更佳，面板級封裝整個環境還不成熟，且pitch也沒有晶圓級細，台積電目前跨入的機率低。



資料來源：Manz、群益投顧預估彙整

# 面板級封裝尚未標準化

- SEMI PLP 規範的目的和範圍包括用於承載面板的四種符合製程要求的基材，並建立標準面板尺寸。
- 建立兩種標準面板尺寸：510 mm x 515mm(約 20" x 20.3") 和 600mm x 600mm(約 23.6" x 23.6")。
- 用於製備載板的四種可選基材是玻璃、矽、陶瓷和金屬；然而矽和陶瓷材料的材料成本明顯較高。

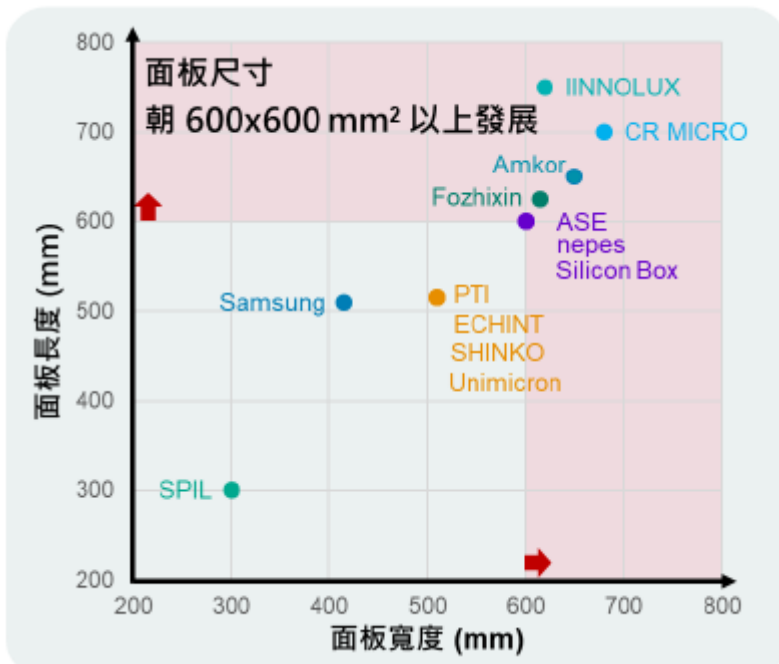
Service Provider	Location	Process	RDL layer	L/S	Panel size (mm)	License	Application	2024	2025	2026	2027
 TSMC	Taiwan	Chip-last	>5	3/3	600*600		AI GPU				
	S. Korea	Chip-last	3	7/8	510*415		PMIC, AP				
	Singapore	Chip-last	-	<5/5	600*600		-				
	Taiwan	Chip-first	5	8/10	515*510		PMIC				
		Chip-last	8	2/2	515*510		Consumer GPU, Server CPU				
	Taiwan	Chip-first	2	8/8	300*300	DECA	RF				
		Chip-first	5	8/8	600*600		RF				
		Chip-last	5	2/2	300*300, 600*600		Server CPU				
	Portugal	Chip-first	-	>8/8	650*650		PMIC, RF				
	Taiwan	Chip-first	2	>8/8	700*700	PEP	PMIC, RF				
		Chip-last	>5	2/2	620*750	ITRI	-				
	Malaysia	Chip-first	-	>8/8	600*600	PEP	RF				
	S. Korea	Chip-first	-	>8/8	300*300, 600*600	DECA	PMIC, RF				
	China	Chip-first	-	>8/8	600*600	PEP	SiC				
	China	Chip-first	-	>8/8	515*510		-				

Developing Sampling / Mass production

資料來源：Trendforce、群益投顧預估彙整

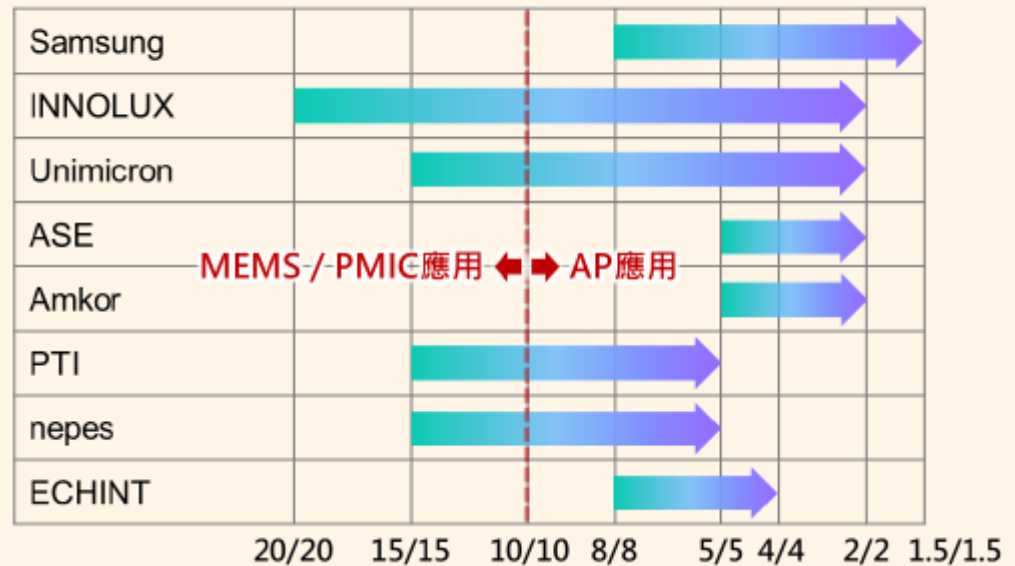
# Samsung和面板廠為主導者

- 面板尺寸以 510 mmx515 mm 、 600 mmx600 mm 為常見規格。
- 線寬線距朝 2/2 以下發展，主要應用商品為MEMS、RF和PMIC等，未來朝向高 I/O 數連接之手機 AP晶片(PMIC)嵌入到同一封裝中。



關鍵廠商 FOPLP 線寬線距發展進程

(L/S 單位:  $\mu\text{m}$ )



資料來源：IEK、群益投顧預估彙整

# 老牌半導體廠皆有投資相關技術

封裝技術		台積電	Sams ung	Intel	日月光	力成	Amkor	長電	通富	華天
扇出型 封裝	FOWLP	V	V		V		V	V	V	V
	FOPLP		V		V	V				
嵌入式封裝					V		V	V		
2.5D 封裝	矽中介層	V	V							
	重布線層	V	V		V	V	V	V	V	
	矽橋晶片	V	▲	V	V		▲		▲	
3D 封裝	TSV+微凸塊		V	V	V	V	V	V	V	V
	TSV+混合鍵合	V	▲	▲			▲			

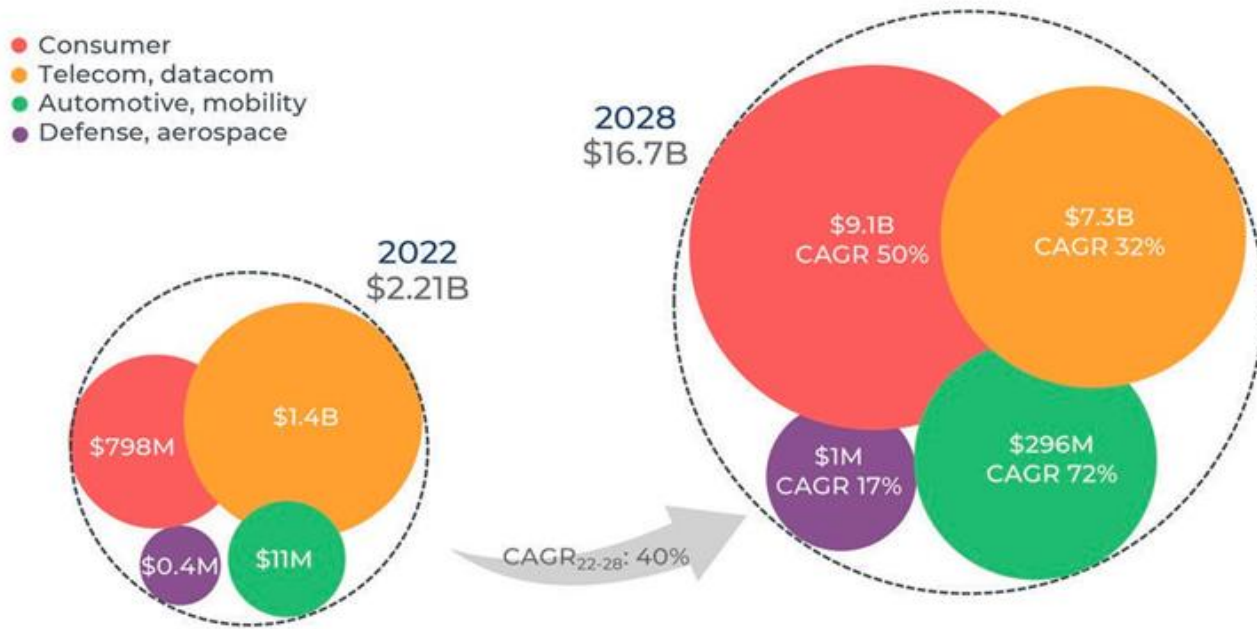
資料來源：各公司，DIGITIMES Research、群益投顧預估彙整

# 高端封裝2022-2028 年GAGR為40%

- 高端封裝市場在 2022 年價值22億美元，預計到 2028 年將超過160億美元，2022-2028 年的複合年增長率為40 %。

## 2022-2028 HIGH-END PACKAGING MARKET REVENUE

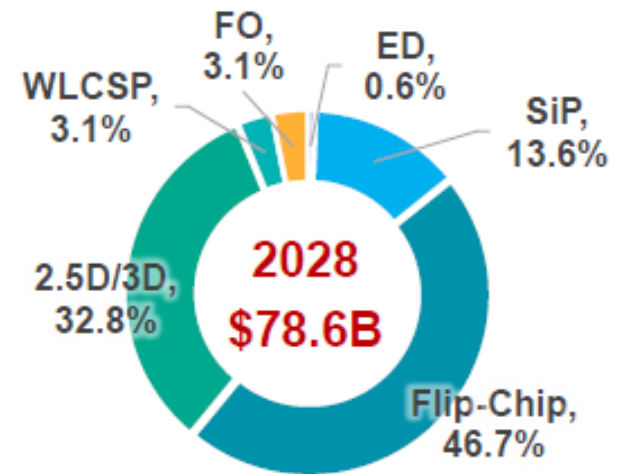
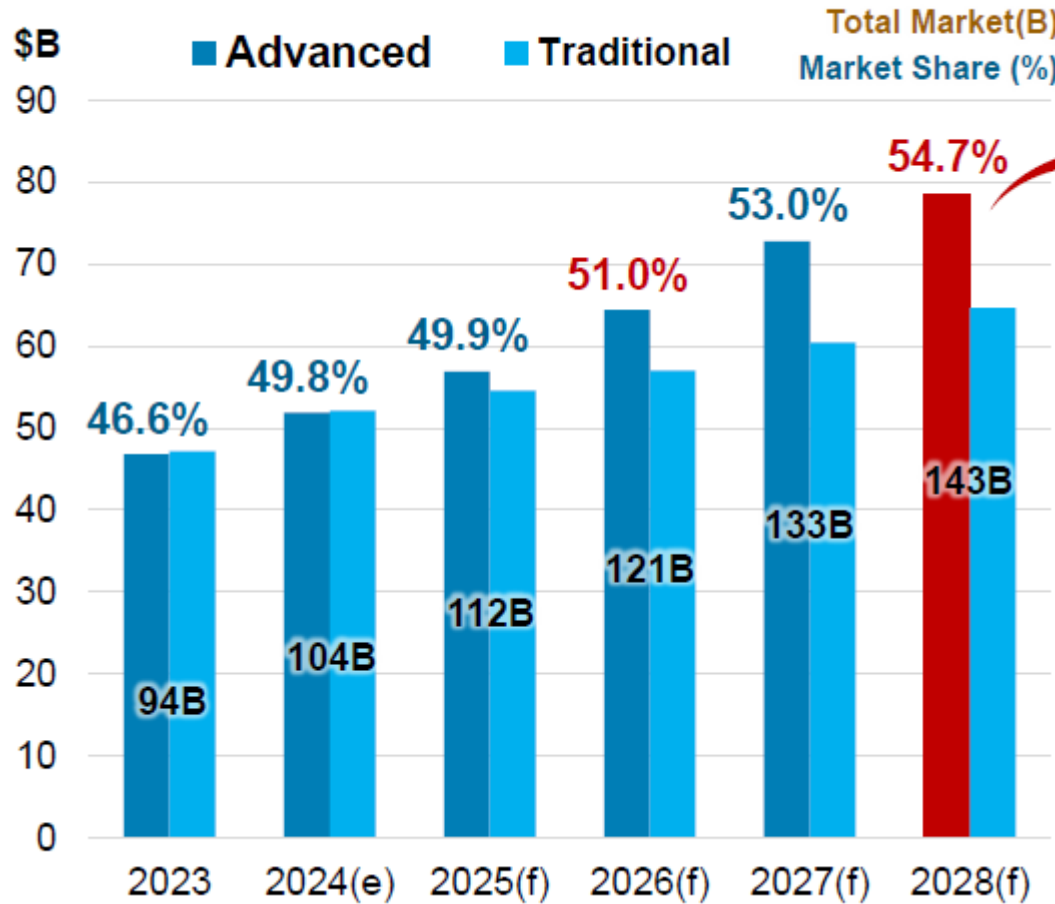
Source: High-end Performance Packaging 2023 report, Yole Intelligence, 2023



資料來源：Yole、群益投顧預估彙整

# 高端封裝2026年規模將超越傳統封裝

## Worldwide IC Packaging Revenue



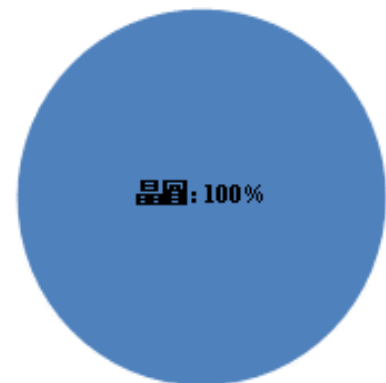
資料來源：IEK、群益投顧預估彙整

# 台積電(2330 TT) : Buy

## 目標價1,380.0元

- 台積電N3家族製程產能湧現客戶排隊潮，一路排到2026年。鑒於N3強勁的需求，台積電將轉換部分N5設備來支援N3產能，預估台積電N3家族月產能有望拉升到13~14萬片。
- 台積電憑技術領先及差異化，營運優於產業平均。台積電2024年成長動能來自HPC及N5/N3製程和CoWoS營收貢獻上揚。

產品組合



單位：百萬元	2023	2024F	2025F	3Q23	4Q23	1Q24	2Q24	3Q24F	4Q24F	1Q25F	2Q25F	3Q25F
營業收入淨額	2,161,736	2,879,623	3,603,323	546,733	625,529	592,644	673,510	759,692	853,777	788,498	882,057	932,618
營業毛利淨額	1,175,111	1,614,106	2,054,856	296,642	331,768	314,505	358,124	439,345	502,131	439,622	507,019	534,297
營業利益	921,466	1,303,275	1,656,689	228,065	260,205	249,018	286,556	360,766	406,935	352,493	409,552	431,242
稅後純益	838,498	1,166,223	1,494,996	211,000	238,712	225,485	247,846	325,258	367,635	325,322	343,058	398,100
稅後EPS(元)	32.33	44.97	57.65	8.14	9.21	8.69	9.56	12.54	14.18	12.54	13.23	15.35
毛利率(%)	54.36%	56.05%	57.03%	54.26%	53.04%	53.07%	53.17%	57.83%	58.81%	55.75%	57.48%	57.29%
營業利益率(%)	42.63%	45.26%	45.98%	41.71%	41.60%	42.02%	42.55%	47.49%	47.66%	44.70%	46.43%	46.24%
稅後純益率(%)	38.79%	40.50%	41.49%	38.59%	38.16%	38.05%	36.80%	42.81%	43.06%	41.26%	38.89%	42.69%
營業收入YoY/QoQ(%)	-4.51%	33.21%	25.13%	13.70%	14.41%	-5.26%	13.64%	12.80%	12.38%	-7.65%	11.87%	5.73%
稅後純益YoY/QoQ(%)	-17.51%	39.08%	28.19%	16.06%	13.13%	-5.54%	9.92%	31.23%	13.03%	-11.51%	5.45%	16.04%

註：稅後純益係指本期淨利歸屬於母公司業主；EPS預估值以股本2593.28億元計算。

資料來源：群益投顧彙整

# 投資評等及免責聲明

## 投資評等說明

評等	定義
強力買進(Strong Buy)	首次評等潛在上漲空間 $\geq 35\%$
買進(Buy)	$15\% \leq$ 首次評等潛在上漲空間 $< 35\%$
區間操作(Trading Buy)	$5\% \leq$ 首次評等潛在上漲空間 $< 15\%$
中立(Neutral)	無法由基本面給予投資評等 預期近期股價將處於盤整 建議降低持股

## 免責聲明

本研究報告僅提供予特定人之客戶作為參考資料「非經同意不得轉載」。我們並不確保此資訊的完整性與正確性，投資人應了解，報告中有關未來預測之陳述可能不會實現，因而不應被依賴。而且此報告並非根據特定投資目的或依預定對象之財務狀況所撰寫出來的，因此，此研究報告的目的，既非對投資人於買賣證券、選擇權、期貨或其他證券相關之衍生性商品提供詢價服務，亦非作為進行交易的要約。投資人應注意到相關證券之價值及收益，可能會有無預警地上升或下降，產生投資回報金額可能比原始投資來得少的情形。