

面板級封裝未來想像空間大

- 面板供應鏈設備廠新商機

陳俐妍/陳長榮/莊禮誠

06/26/2026

群益投顧

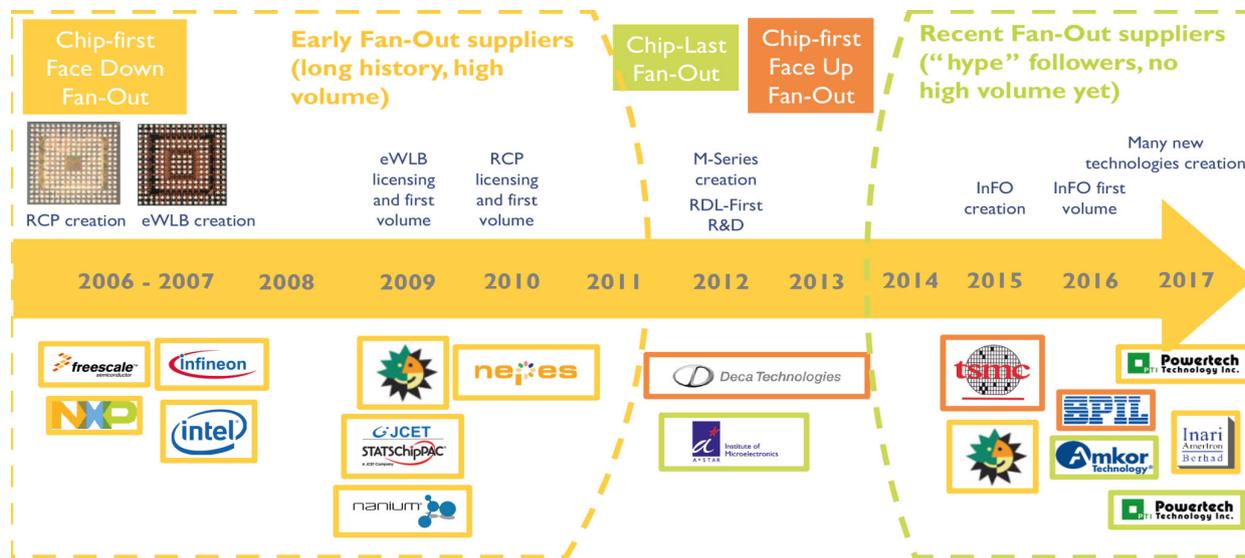


結論

- 扇外型封裝(Fan-out)概念發展已超過20年，但過去因晶圓微縮的程度尚不急迫用到此技術，以及模封(molding)及RDL所需要的設備材料不成熟，故此技術無法量產。
- 台積電(2330 TT)2Q16量產InFO(Integrated Fan-Out)後，扇外型封裝封裝重獲市場目光。各家封測大廠為避免被既有IP如Infineon eWLB技術綁定，設備材料亦被限制，因此各自發表相關技術，隨後FOPLP(Fan-Out Panel Level Packaging)出現。
- 台積電跨入系統級封裝主要是承襲 SoC Scaling 的 PPA/PPV (效能、功耗、面積/體積)的脈絡。面板級封裝整個環境還不成熟，且RDL pitch也沒有晶圓級細，因此台積電目前跨入的機率低。
- FOPLP發展以封測廠為主，日月光投控(3711 TT)和力成(6239 TT)都有小量量產。面板廠如群創(3481 TT)也開始轉型跨足扇外型面板級封裝，雖營收佔比低，但未來想像空間大，因此相關供應鏈也將受惠。
- 群創的合作廠商友威科(3580 TT)、東捷(8064 TT)傳聞有提供相關設備；鑫科(3663 TT)則是供應FOPLP載板。

FOWLP發展已久

- 最早扇外型封裝是Infineon在2004年提出的，扇外型晶圓級封裝(Fan-Out Wafer Level Packaging, FOWLP)在2009年開始進行商業化量產。但FOWLP主要應用PMU、RF等散熱需求高的元件。直到2016年台積電在FOWLP基礎上開發整合扇外型(Integrated Fan-Out, InFO)封裝，使扇外型封裝受到市場的重視。

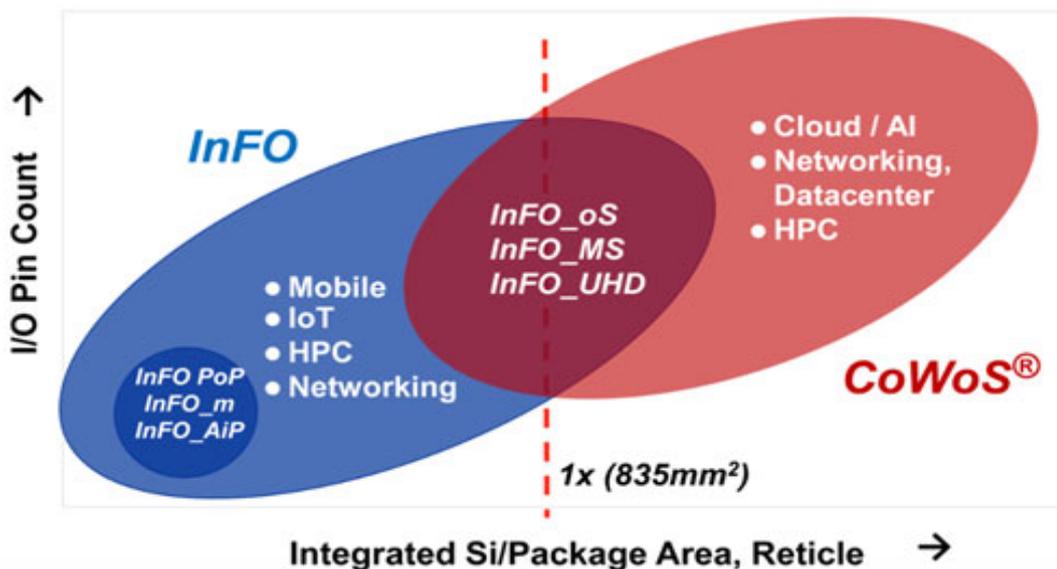


資料來源：YOLE、群益投顧預估彙整

Capital Care 群益關心您
台北 · 香港 · 上海

台積電使FOWLP重獲市場目光

- 台積電是FOWLP市場領先者，得益於InFO封裝成功運用在iPhone的APE中，此外2016年開發HDFO(高密度扇外型封裝)。用在HPC InFO-oS，伺服器的InFO-MS(基板上的記憶體)，還有5G的InFO-AiP。

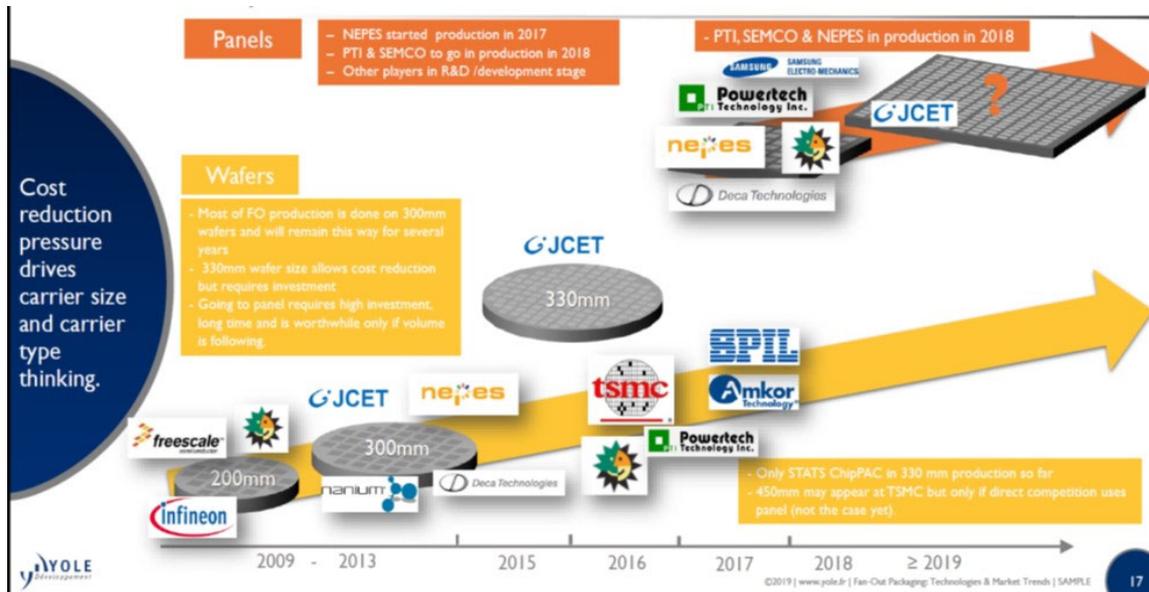


資料來源：TSMC、群益投顧預估彙整

Capital Care 群益關心您
台北 · 香港 · 上海

FOPLP從2016年提出

- 2016年的iPhone 7搭載的A10處理器，開始採用台積電「InFO」，使封測廠的AP Flip chip封裝以及BT載板營收大幅下滑，因此封測業者和材料業者開發FOPLP(Fan-out Panel Level Packaging)。



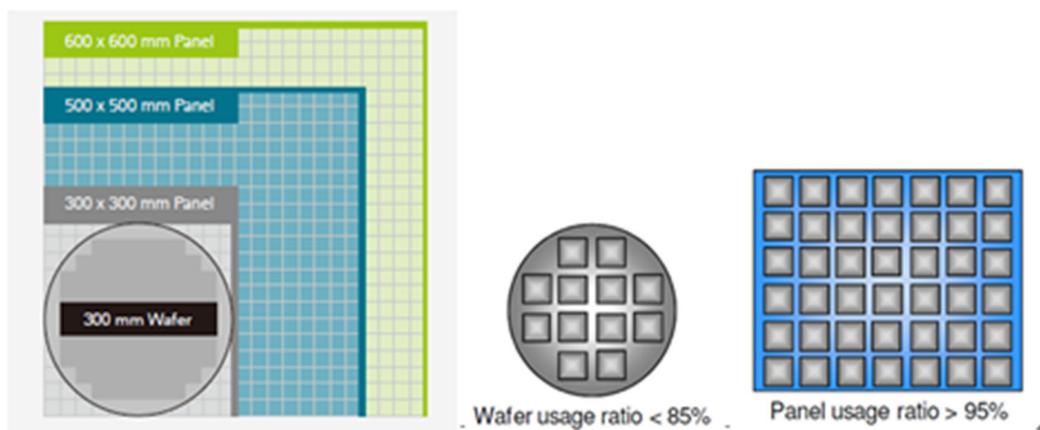
資料來源：YOLE、群益投顧預估彙整

Capital Care 群益關心您
台北 · 香港 · 上海

群益投顧

FOPLP較FOWLP成本效益

- 18吋晶圓需要時間突破，以晶圓級(wafer)當載具在12吋晶圓遇到瓶頸，而面板級(Panel)在作扇外型封裝則是以玻璃或是載版(Substrate)當作載具，因此在大面積的製程發展趨勢下，面板級則是相對晶圓級有較多優勢，且方型載具有較高的使用率，因而降低生產週期，使成本降低。



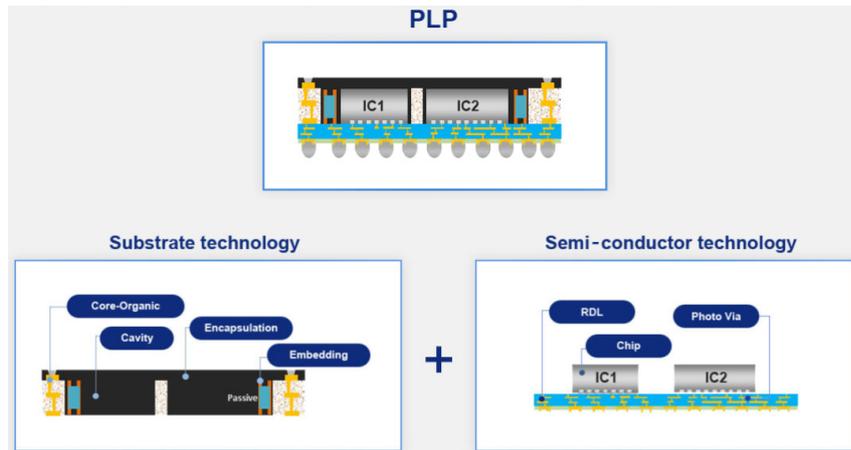
資料來源：Manz、群益投顧預估彙整

Capital Care 群益關心您
台北 · 香港 · 上海

群益投顧

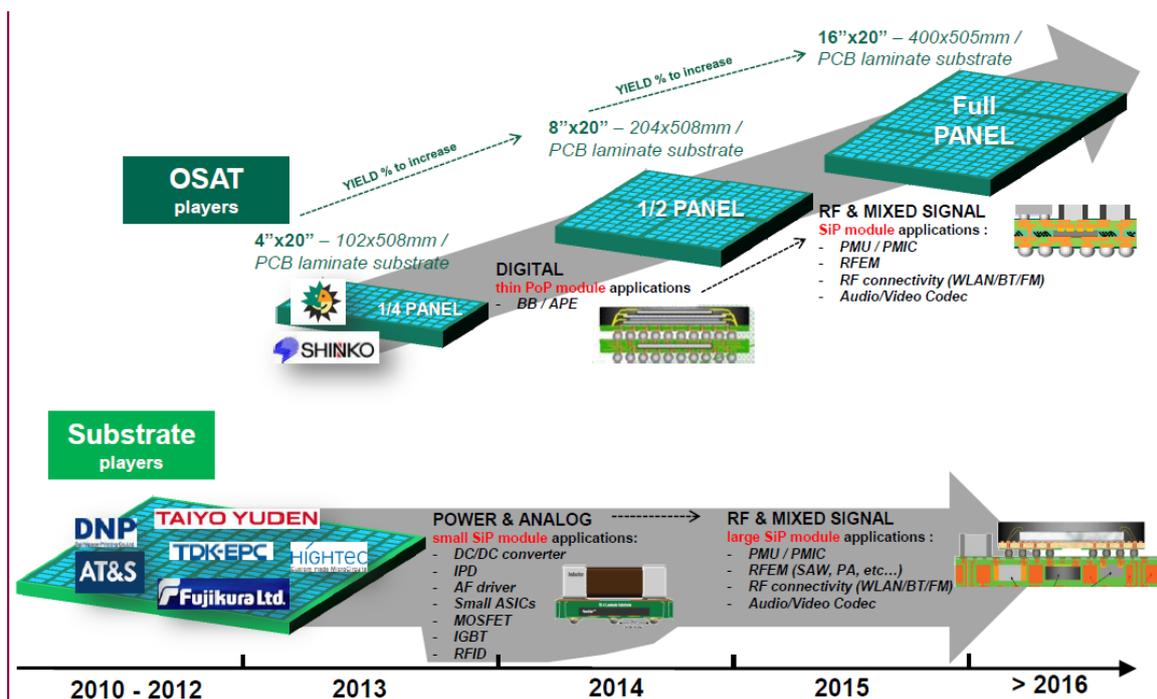
早期FOPLP以SEMCO最積極

- 眾多涉足FOPLP廠商，三星電機(SEMCO)最積極，2016年建立生產線並開始PLP項目。2018年開始應用於自家智慧型手錶Galaxy Watch的處理器封裝中。這是FOPLP全球首次量產。不過全球扇外型封裝最大需求為Apple，一直在台積電下單，因此SEMCO FOPLP業績無法明顯成長。
- Galaxy Watch的FOPLP有3個重佈線層(RDL)和1個背面RDL(Backside RDL)。AP和PMIC是採PoP多晶片封裝。通過應用FOPLP，將封裝的厚度減少20%以上，從而提高電氣和熱性能，並有助於擴大產品的電池容量。



資料來源：SEMCO、群益投顧預估彙整

FOPLP(Panel)主要以封測廠為主

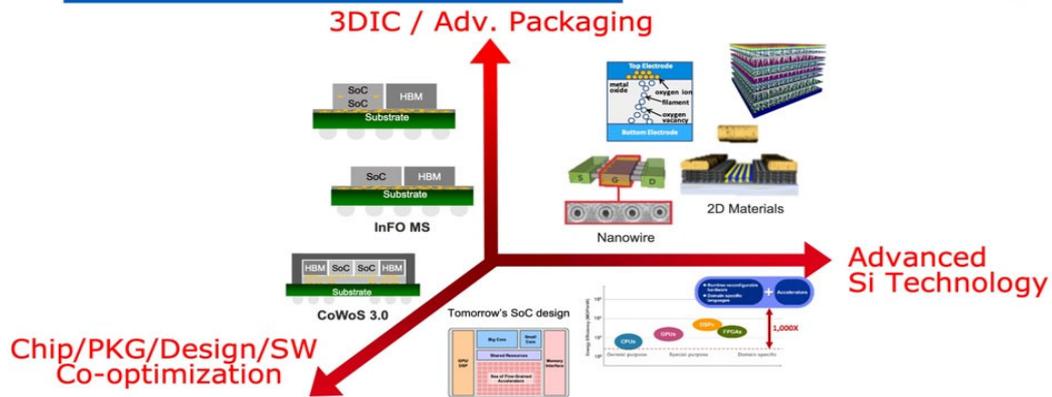


資料來源：Yole、群益投顧彙整

為延續摩爾定律台積電跨入封裝

- 摩爾定律逐漸出現瓶頸，晶圓廠/IDM 為延續摩爾定律，朝向2.5D、後段3D 及前段3D 技術研發。
- 台積電從「後摩爾定律」(More Moore, MM)與「超越摩爾定律」(More than Moore, MtM)兩個面向來推動尖端半導體製程的演進。台積電「3DFabric」主要是「系統微縮」(System Scaling)，承襲 SoC Scaling 的 PPA/PPV (效能、功耗、面積/體積)的脈絡。

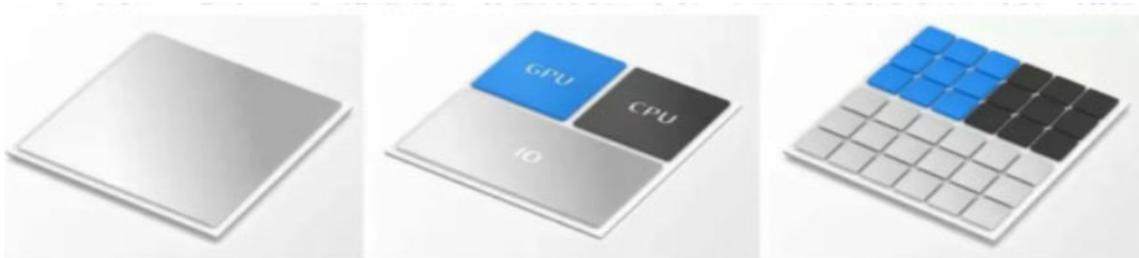
The Way Forward



資料來源：TSMC、群益投顧預估彙整

Chiplet提高良率，降低開發時間

- Chiplet是一種晶片設計的方法，SoC拆解成GPU、CPU、IO晶片，通過SiP技術將它們集成在一個封裝內；通過Chiplet技術，小區塊擁有單獨的IP，並可重複使用，據特定客戶獨特需求定製的產品。



SoC

SiP

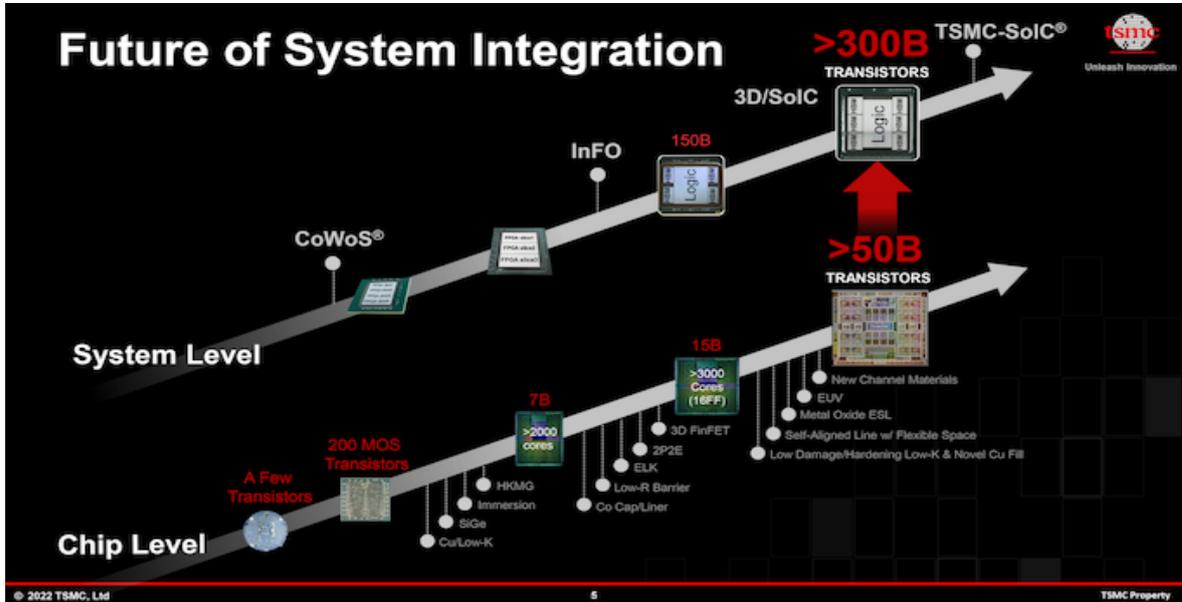
Chiplet

- | | | |
|---------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------|
| <ul style="list-style-type: none"> ● 在 SoC層面驗證 ● 3~4年開發時間 ● 晶片中發現數百個缺陷 ● 無法重複使用 | <ul style="list-style-type: none"> ● 在 SiP層面驗證 ● 2~3年開發時間 ● 晶片中發現數十個缺陷 ● 部份可重複使用 | <ul style="list-style-type: none"> ● 單獨IP集成Chiplet ● 1~2年開發時間 ● 晶片中發現<10個缺陷 ● 大都可重複使用 |
|---------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------|

資料來源：群益投顧預估彙整

multi-tile Chiplet designs 比例增加

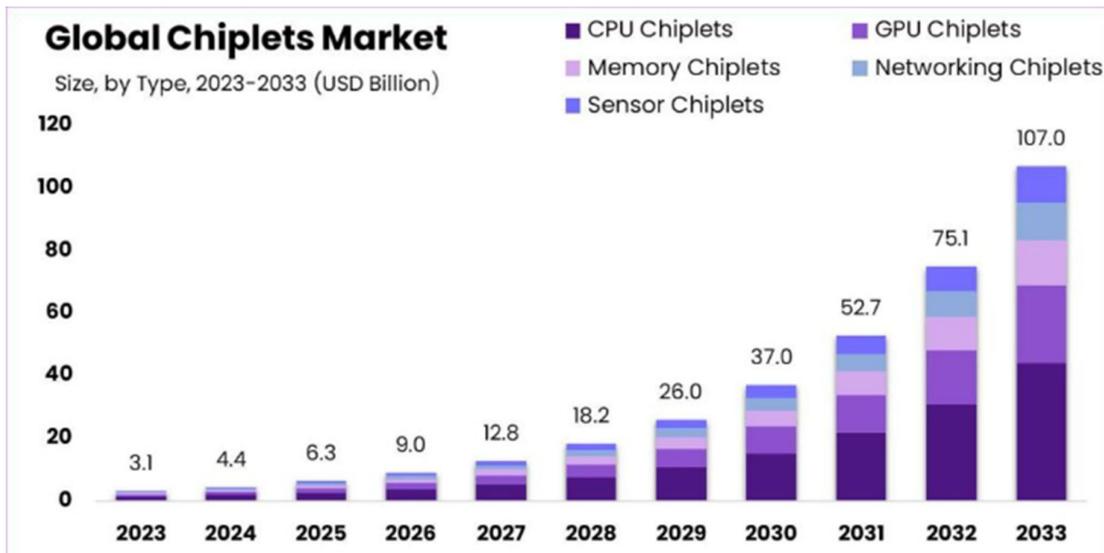
- 提高處理器計算能力的方法之一是增加其transistor count，但單靠SOC技術提升，時間長且良率低，因此AI/HPC 運算晶片採用multi-tile chiplet designs比例增加，Intel Ponte Vecchio GPU採用47個tile。



資料來源：TSMC、群益投顧預估彙整

Chiplet CAGR YoY+42.5%

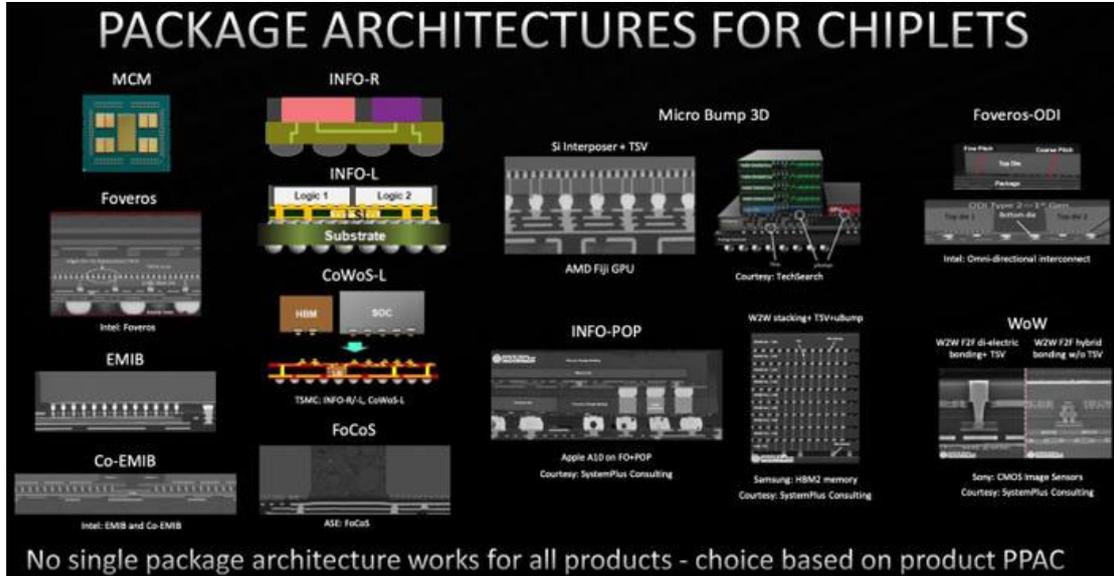
- 2023年全球chiplet市場營收約31億美元，預計到2024年將達到44億美元。預估未來10年Chiplet產業的複合年增長率預計將達到42.5%，到2033年估值將達到1,070億美元。



資料來源：market.us、群益投顧預估彙整

Chiplet並非全部用2.5D/3D封裝

- 雖然模組化設計是前進的方向，但並非所有類型的晶片都受益於相同的3D封裝策略。最佳選擇必須基於PPAC（功率、性能、面積和成本）。
- AMD 2015年採用2.5D高頻寬記憶體(HBM)、2017年多晶片模組(MCM)、2019年Chiplet，AMD策略是盡可能尋找最佳架構縮並小封裝。



資料來源：AMD、群益投顧預估彙整

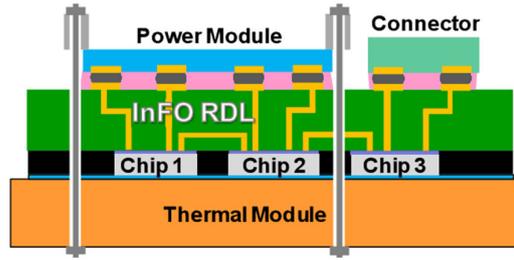
台積電InFO技術持續發展中

Metrics	inFO_PoP	inFO_oS & inFO_MS	inFO_SoW	inFO_AiP	inFO_MiM
PRODUCTION	HVM since 2016	LVM since 2019	Qualification LVM expected by end of 2021	Qualification LVM expected in 2023	Qualification
STATUS	High-volume production of Gen-3 Successful qualification of Gen-4	Successful qualification of 7nm multi-die integration.	Enable 97% reduction in PDN (Power Distribution Network) impedance	Enable low transmission loss and high antenna performance for mmWave system	Validated better performance as compared to FC.
APPLICATION	Mobile APE+Memory: Smartphone, smartwatches, tablets	High Performance Computing: AI chips, servers; networking	High Performance Computing HW 4.0 self-driving chip	mmWave wireless communication: 5G, Wi-Fi, Modems, sensors	Advanced Mobile & HPC.
BENEFITS	Integrate systems with lower TTV as compared to FC, at finer L/S for board-level I/O	Enable better yield as compared to a single large die SoC	15% power saving of the interconnects with length of 30 mm	Enable low transmission loss and high antenna performance for mmWave system	Validated and simulated better performance and form factor as compared to FC and TSV.
SCHEMATIC	 Source: TSMC [Online]. Available: https://www.tsmc.com/english/dedicatedfundry/technology/inFO.htm [Accessed: 16-Apr-2021]	 Source: TSMC [Online]. Available: https://www.tsmc.com/english/dedicatedfundry/technology/inFO.htm [Accessed: 16-Apr-2021]	 Source: "InFO_SoW (System-on-Wafer) for High Performance Computing" TSMC: ECTC, 2020	 Source: "inFO_AiP Technology for High Performance and Compact 5G Millimeter Wave System Integration" TSMC: ECTC, 2018	 Source: "3D-MiM (MUST-in-MUST) Technology for Advanced System Integration" TSMC: ECTC, 2019

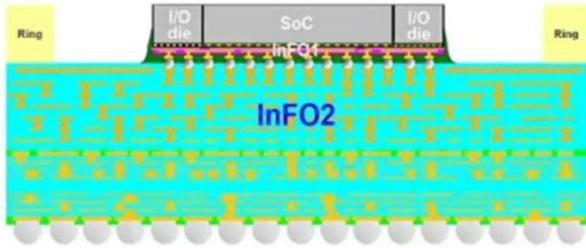
資料來源：Yole、群益投顧預估彙整

利用InFO發展更先進整合技術

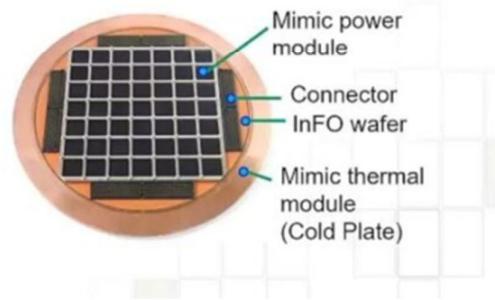
InFO-SoW 剖面圖



● InFO_SoIS (System-on-Integrate Substrate)



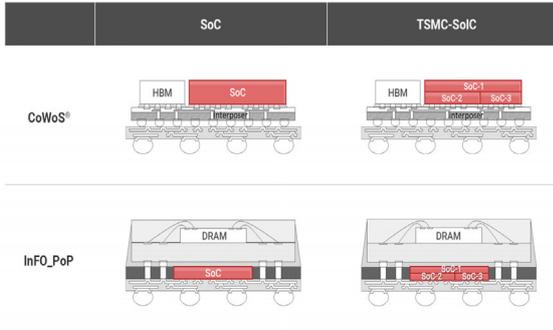
● InFO_SoW (System-on-Wafer)



資料來源：semanticscholar、TSMC、群益投顧預估彙整

SoIC和InFO/CoWoS整合運作

- Front-end 3D：SoIC和InFO/CoWoS運作整合將同質或異構chipllets都整合到一個SoC-like的晶片中，使晶片面積更小和更薄。外觀上，SoIC就像普通的SoC，但嵌入所需的異質整合功能。本質就是在做一顆SoC晶片，基本上全部都在晶圓廠完成。
- Back-end 3D：前端封裝完成的SoIC晶片，搭配立體封裝技術advanced WLSI，如CoWoS和InFO。相關後端封裝技術是其他封測廠商積極跨入的領域。



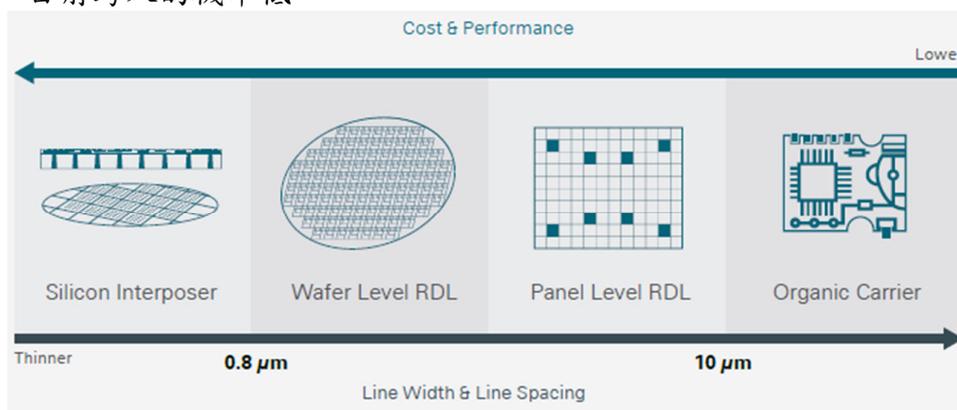
Technology	2.5D	3D-IC	SoIC
Structure cross-section			
Interconnect	μbump + BEOL	μbump	SoIC bond
Bump Density	1.0X	1.0X	16.0X
Speed	0.01X	1.0X	11.9X
Bandwidth Density	0.01X	1.0X	191.0X
Power Efficiency (Energy/bit)	22.9X	1.0X	0.05X



資料來源：TSMC、ISSCC 2021、群益投顧預估彙整

台積電跨入面板級封裝機率低

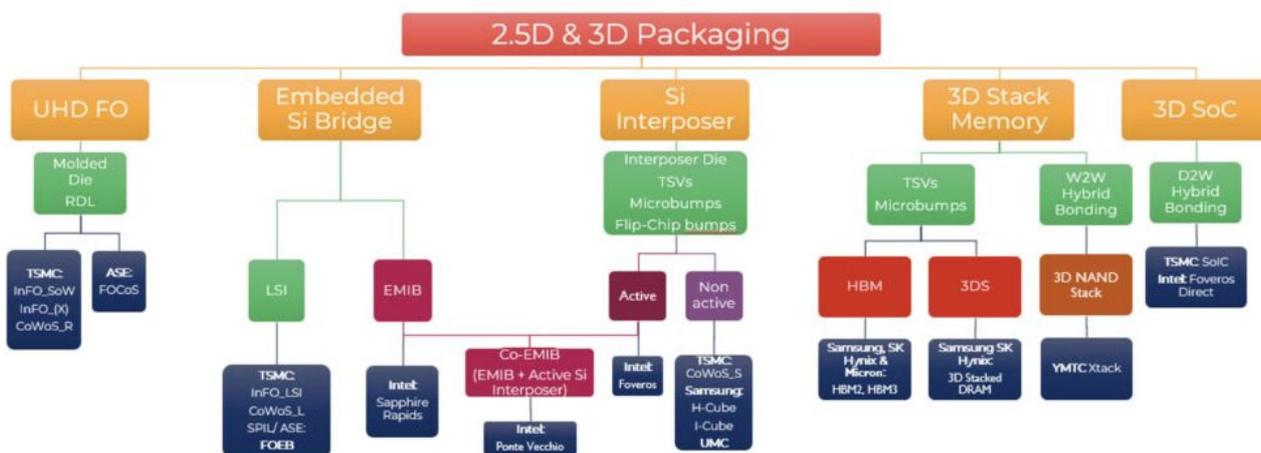
- 相對於晶圓級扇出封裝成熟的尺寸標準化、設備和材料工藝的完整化，FOPLP仍然面臨著精度、翹曲、良率以及配套設備的挑戰。
- RDL方面，FOPLP線寬/線距當前達到10um/10um，而台積電RDL Interposer由最多6-Layer銅層組成，4 um Pitch，L/S精度可達2 um來實現。
- 台積電跨入系統級封裝，是希望在相同面積下，有更多的電晶體，晶片效率更佳，面板級封裝整個環境還不成熟，且pitch也沒有晶圓級細，台積電目前跨入的機率低。



資料來源：Manz、群益投顧預估彙整

台積電高階封裝專利多

- 2.5/3D封裝相關技術發展多年，台積電2012年就推出CoWoS，很多廠商也都宣布有相關技術，原理是差不多，但專利不同，名稱不同。
- 台積電目前的專利最多，可以靈活應對各種高階封裝需求，競爭力優於同業。



資料來源：Yole、群益投顧預估彙整

全球主要Fan-out製造商

- 扇出封裝占整個先進封裝市場約10%，面板級解決方案又僅佔整個扇出市場10%。但OSAT、IDM、基板製造商和FPD廠商都有跨足FOPLP技術。Samsung、群創、力成、日月光已取得量產，中國大陸封測廠也量產。



資料來源：Yole、群益投顧預估彙整

Capital Care 群益關心您
台北 · 香港 · 上海

群益投顧

老牌半導體廠皆有投資相關技術

封裝技術	台積電	Samsung	Intel	日月光	力成	Amkor	長電	通富	華天
扇外型封裝	FOWLP	V	V	V		V	V	V	V
	FOPLP		V	V	V				
嵌入式封裝				V		V	V		
2.5D封裝	矽中介層	V	V						
	重布線層	V	V	V	V	V	V	V	
	矽橋晶片	V	▲	V	V	▲		▲	
3D封裝	TSV+微凸塊		V	V	V	V	V	V	V
	TSV+混合鍵合	V	▲	▲		▲			

資料來源：各公司，DIGITIMES Research、群益投顧預估彙整

Capital Care 群益關心您
台北 · 香港 · 上海

群益投顧

- 群創與工研院、強茂等業者共同進軍扇出型面板級封裝(Fan-Out Panel Level Package, FOPLP)市場，現階段鎖定RDL (Redistribution Layer) first與Chip first兩種製程，其中，Chip first主打車用的高頻和高功率 IC 封裝領域，預期3Q24可量產，尺寸為620 x 750 mm；RDL first則主打HPC/AI高速IC封裝，尺寸為700 x 700 mm。
- 群創除以3.5代舊廠用於RDL first製程(約60成製程可沿用舊機台)外，亦另投資新機台以用於Chip first。

RDL-First

- ✓ RDL (Redistribution Layer) comes first
- ✓ Target high speed IC package for HPC/AI for mid/long term goal
- ✓ May deliver as glass substrate without chips

Ex. RDL glass substrate
RDL First for High Speed:

Chip-First

- ✓ Chip first followed by RDL (Redistribution Layer)
- ✓ Target high frequency & high power IC package in Automotive for short/mid term goal

Ex. 77GHz Radar transceiver
Chip-First for High Frequency:

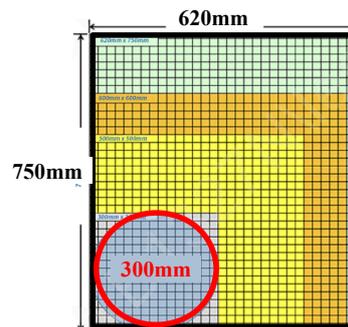
Ex. 650V DC/DC converter
Chip-First for High Power:

✓ Mass Production Plan: 3Q2024

資料來源：群創，群益投顧彙整

Capital Care 群益關心您
台北 · 香港 · 上海

- 群創乃以3.5代線(620 x 750 mm)舊廠生產，若用以開發線寬介於 2 μ m~10 μ m的中高階半導體封裝，其面積是12吋(直徑300mm)晶圓的7倍，配合方型之高玻璃利用率，預估可發揮「容納更多的 I/O 數」、「體積更小」、「效能更強大」、「節省電力消耗」等技術優勢，此外，由於群創3.5代舊廠已折舊完畢，成本競爭力亦為競逐訂單的重要利基。
- 群創指出，一期月產能小於1K，二期月產能則為3~4.5K，考量面板級封裝低電阻、發熱性低，群創的目標市場為車用IC、高壓IC，先前已送樣至多家IDM廠且客戶反應甚佳，預估一期2H24量產，且產能開出後即可滿載。
- 群益認為，群創跨足扇出型面板級封裝之轉型策略方向雖正確，但預估2024年貢獻營收有限，營收比重低於3%。

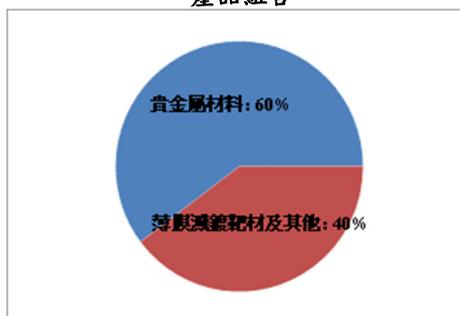


資料來源：群創，群益投顧彙整

Capital Care 群益關心您
台北 · 香港 · 上海

- 市場傳聞，鑫科有提供台系面板廠用於FOPLP的特殊合金載板，而且為獨家供應商客戶FOPLP需求暢旺，鑫科有望受惠。
- 鑫科已於05/2024開始認列中鋼精材營收，鑫科05/2024營收約4.8億元，月增約+128.0%，年增約+114.3%。

產品組合



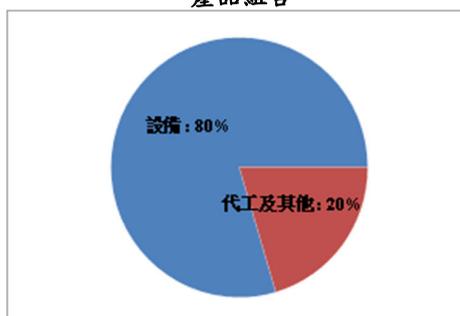
單位: 百萬元	2023	2024F	2025F	1Q23	2Q23	3Q23	4Q23	1Q24	2Q24F	3Q24F	4Q24F	1Q25F
營業收入淨額	2,405	4,043	4,233	549	583	670	604	548	1,195	1,250	1,050	720
營業毛利淨額	198	331	349	43	51	53	50	42	99	103	87	59
營業利益	48	131	148	9	14	14	12	2	45	48	37	17
稅後純益	40	110	114	8	10	22	0	11	34	37	28	13
稅後EPS(元)	0.52	1.44	1.49	0.11	0.13	0.28	0.00	0.14	0.45	0.48	0.37	0.17
毛利率(%)	8.23%	8.19%	8.25%	7.85%	8.81%	7.93%	8.35%	7.75%	8.28%	8.24%	8.24%	8.23%
營業利益率(%)	2.00%	3.23%	3.49%	1.55%	2.39%	2.10%	1.91%	0.30%	3.75%	3.82%	3.48%	2.38%
稅後純益率(%)	1.65%	2.72%	2.69%	1.52%	1.68%	3.22%	-0.02%	1.94%	2.88%	2.94%	2.68%	1.83%
營業收入YoY/QoQ(%)	-4.84%	68.08%	4.71%	8.72%	6.16%	14.90%	-9.88%	-9.22%	118.06%	4.63%	-16.00%	-31.41%
稅後純益YoY/QoQ(%)	-51.75%	177.70%	3.47%	-9.27%	17.79%	119.42%	N.A	N.A	224.29%	6.98%	-23.55%	-53.06%

註：稅後純益係指本期淨利歸屬於母公司業主；EPS預估值以股本7.61億元計算。

資料來源：群益投顧彙整

- 友威科的官網顯示，自家的水平式電漿蝕刻設備，可用於先進封裝(扇外型封裝FOPLP/FOWL P)。
- 法人表示，受惠海內外先進封裝大客戶積極追單並陸續展開出貨，看好2Q24營收有望較1Q24有感回升，且因高階產品貢獻增加，單季毛利率、獲利表現也將同步向上。

產品組合



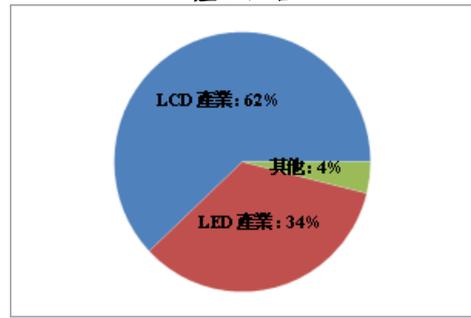
單位: 百萬元	2023	2024F	2025F	1Q23	2Q23	3Q23	4Q23	1Q24	2Q24F	3Q24F	4Q24F	1Q25F
營業收入淨額	745	893	938	148	230	203	164	103	256	268	266	143
營業毛利淨額	311	363	393	59	97	90	66	27	100	120	115	52
營業利益	123	163	201	10	37	37	39	-20	49	70	64	9
稅後純益	102	127	149	8	32	46	17	-6	37	47	49	4
稅後EPS(元)	2.59	3.21	3.78	0.20	0.80	1.16	0.43	-0.15	0.93	1.20	1.23	0.10
毛利率(%)	41.73%	40.59%	41.92%	39.65%	42.00%	44.33%	40.03%	26.78%	39.05%	44.72%	43.24%	36.44%
營業利益率(%)	16.53%	18.27%	21.40%	6.61%	16.18%	18.18%	23.90%	-19.47%	19.22%	26.09%	24.02%	6.00%
稅後純益率(%)	13.73%	14.19%	15.93%	5.29%	13.78%	22.59%	10.28%	-5.70%	14.30%	17.67%	18.23%	2.66%
營業收入YoY/QoQ(%)	-28.30%	20.00%	5.00%	-52.07%	55.70%	-11.71%	-19.33%	-37.40%	149.75%	4.78%	-0.70%	-46.21%
稅後純益YoY/QoQ(%)	-58.67%	24.05%	17.84%	-86.49%	305.35%	44.74%	-63.29%	N.A	N.A	29.45%	2.46%	-92.14%

註：稅後純益係指本期淨利歸屬於母公司業主；EPS預估值以股本3.95億元計算。

資料來源：群益投顧彙整

- 東捷為台灣面板大廠長期合作對象，目前面板客戶的FOPLP的產品預計於3Q24出貨，東捷有望受惠。
- 東捷產品包含RDL雷射線路修補設備，應用包含先進封裝；AOI設備，應用包含FOPLP雷射玻璃載板切割機，應用包含FOPLP；電漿清潔設備。

產品組合



單位：百萬元	2023	2024F	2025F	1Q23	2Q23	3Q23	4Q23	1Q24	2Q24F	3Q24F	4Q24F	1Q25F
營業收入淨額	2,990	2,542	3,050	830	734	735	691	579	575	690	698	777
營業毛利淨額	666	561	693	172	156	157	182	124	130	153	155	174
營業利益	95	-35	144	69	-30	0	56	-58	1	12	10	32
稅後純益	158	2	89	63	-8	52	52	6	-8	3	1	18
稅後EPS(元)	0.96	0.01	0.54	0.38	-0.05	0.32	0.31	0.04	-0.05	0.02	0.01	0.11
毛利率(%)	22.29%	22.08%	22.73%	20.66%	21.20%	21.38%	26.35%	21.37%	22.62%	22.17%	22.15%	22.39%
營業利益率(%)	3.17%	-1.38%	4.73%	8.31%	-4.12%	0.01%	8.10%	-10.04%	0.17%	1.74%	1.43%	4.12%
稅後純益率(%)	5.30%	0.06%	2.93%	7.56%	-1.12%	7.08%	7.50%	1.00%	-1.44%	0.43%	0.14%	2.30%
營業收入YoY/QoQ(%)	-23.72%	-15.00%	20.00%	-39.09%	-11.65%	0.25%	-6.05%	-16.24%	-0.69%	20.04%	1.20%	11.27%
稅後純益YoY/QoQ(%)	-52.81%	-99.04%	5,773.90%	-26.00%	N.A	N.A	-0.48%	-88.84%	N.A	N.A	-66.67%	1,688.10%

註：稅後純益係指本期淨利歸屬於母公司業主；EPS預估值以股本16.48億元計算。

資料來源：群益投顧彙整

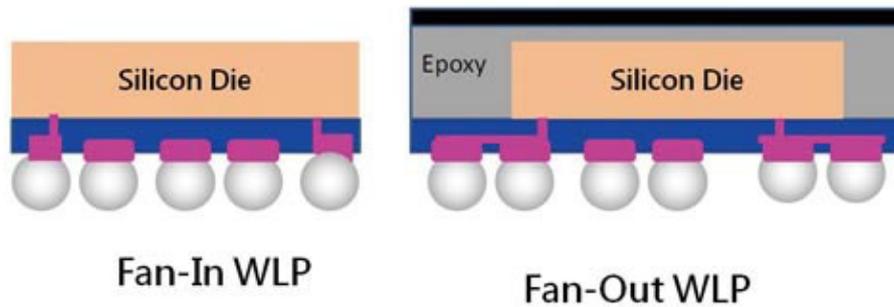
Capital Care 群益關心您

台北 · 香港 · 上海

群益投顧

Fan-out WLP是Fan-in WLP延申

- 半導體微縮(Scaling)技術的進展，使得晶片尺寸持續縮小，後段WLP之大尺寸錫球，再也無法容納於晶片的面積之內。
- 晶片功能變強，I/O數增加，Fan-in WLP封裝面臨更多困難。如將I/O接點或錫球尺寸縮小，雖然可使I/O點與錫球製作於晶片的面積之內，但受限於終端PCB的組裝基礎與設計法則，目前未達到前段IC晶片製造之技術規格，而且如果將I/O接點或錫球尺寸縮小，又會帶來更多組裝成本。



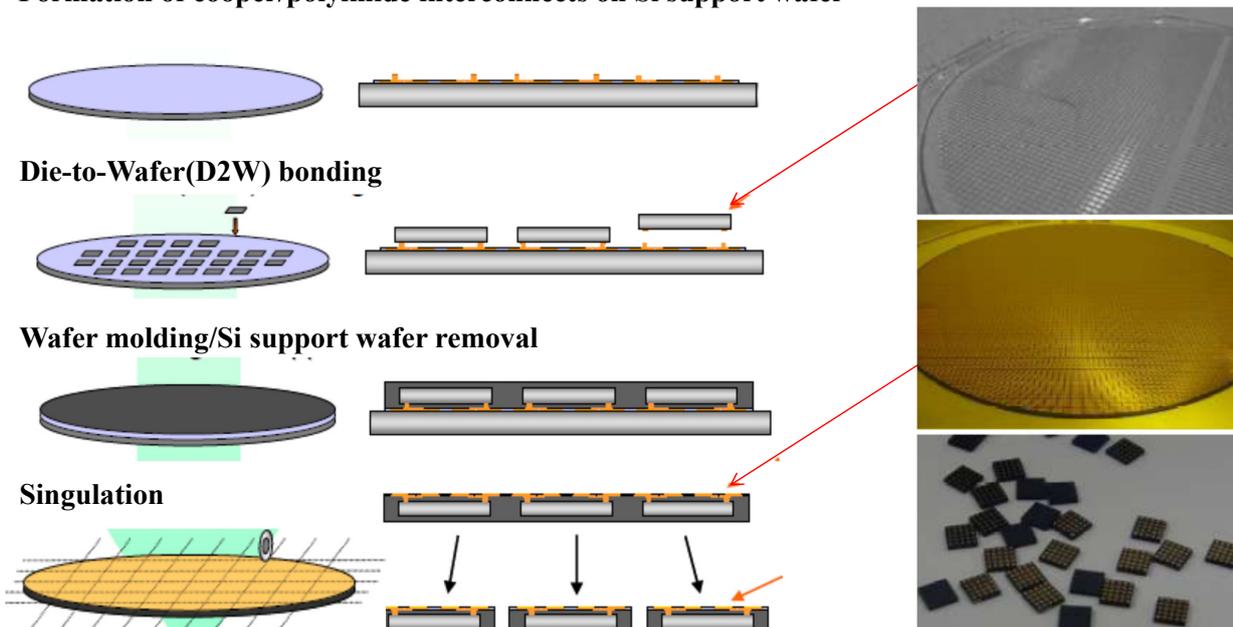
資料來源：半導體科技先進封裝測試、群益投顧彙整

群益投顧

Capital Care 群益關心您
台北 · 香港 · 上海

Integrated Fan-Out Wafer Level Packaging

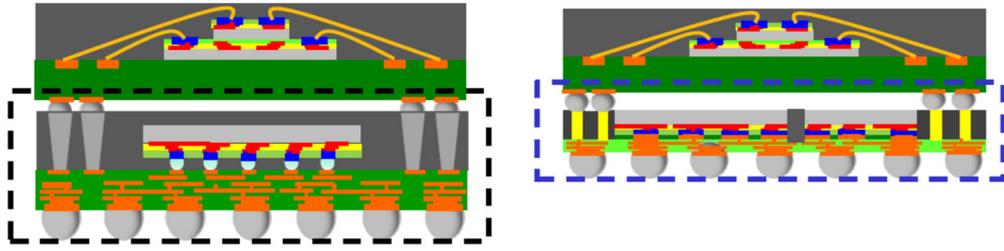
Formation of cooper/polyimide interconnects on Si support wafer



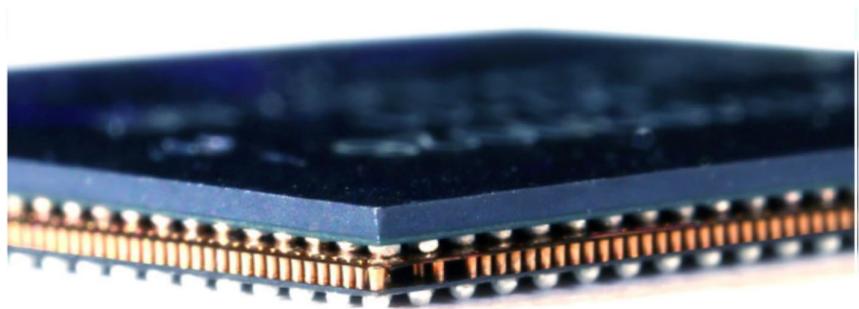
資料來源：Renesus，群益投顧彙整

群益投顧

Capital Care 群益關心您
台北 · 香港 · 上海

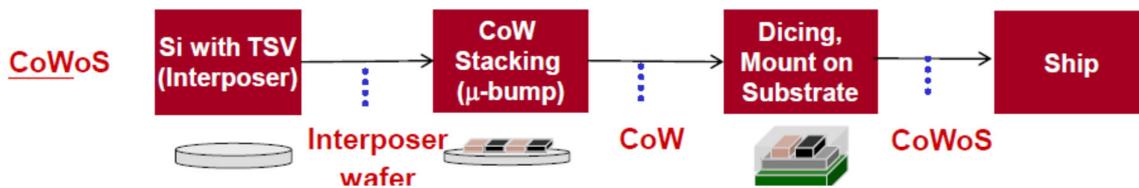


DRAM →
InFO →

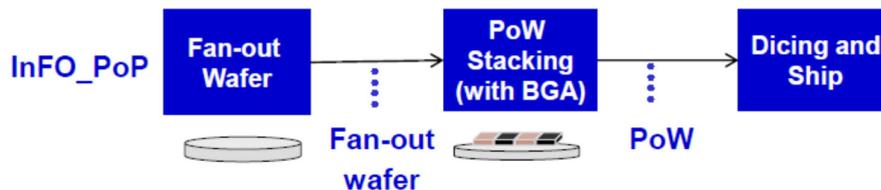


資料來源：TSMC、群益投顧彙整

InFO_PoP VS. CoWoS



- CoWoS: SoC Chips stack on TSV wafer。

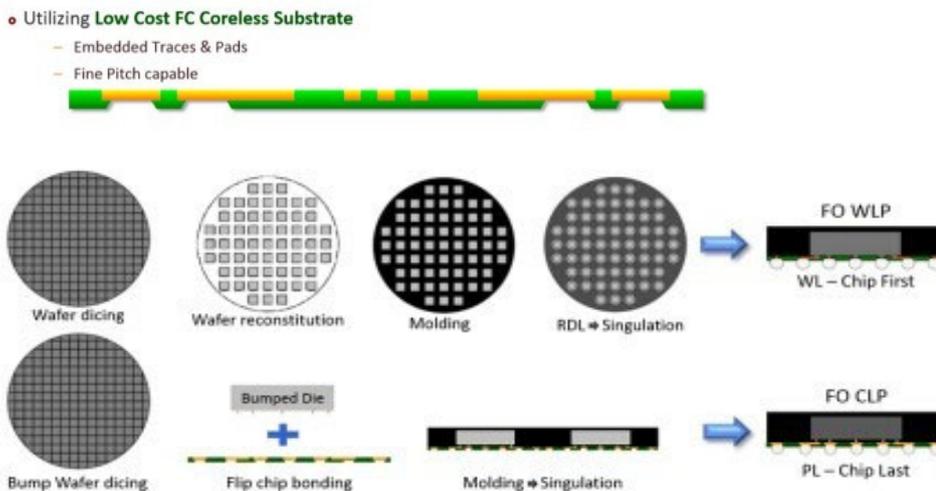


- InFO_PoP: DRAM PKG stack on InFO wafer.
- Key processes sharing: Thin wafer process, Carrier bond/de-bond, and RDL, etc.

資料來源：TSMC、群益投顧彙整

- 2H14日月光已將無核心薄片基板、銅柱凸塊與molded underfill製程進行整合，成為成本低的超薄封裝設計(<375微米)。

Coreless single layer cooper substrate



Fan-out WLP 與 Fan-out chips last 比較

資料來源：ASE、群益投顧彙整

群益投顧

Capital Care 群益關心您
台北 · 香港 · 上海

投資評等說明

評等	定義
強力買進(Strong Buy)	首次評等潛在上漲空間 $\geq 35\%$
買進(Buy)	$15\% \leq$ 首次評等潛在上漲空間 $< 35\%$
區間操作(Trading Buy)	$5\% \leq$ 首次評等潛在上漲空間 $< 15\%$
中立(Neutral)	無法由基本面給予投資評等 預期近期股價將處於盤整 建議降低持股

免責聲明

本研究報告僅提供予特定人之客戶作為參考資料「非經同意不得轉載」。我們並不確保此資訊的完整性與正確性，投資人應了解，報告中有關未來預測之陳述可能不會實現，因而不應被依賴。而且此報告並非根據特定投資目的或依預定對象之財務狀況所撰寫出來的，因此，此研究報告的目的，既非對投資人於買賣證券、選擇權、期貨或其他證券相關之衍生性商品提供詢價服務，亦非作為進行交易的要約。投資人應注意到相關證券之價值及收益，可能會有無預警地上升或下降，產生投資回報金額可能比原始投資來得少的情形。